

TM-1074

並列推論マシン (PIM/m) 用VLSI

古谷 清広、安田 憲一、町田 浩久  
安藤 秀樹、武田 保孝、中島 浩 (三菱)

July, 1991

© 1991, ICOT

**ICOT**

Mita Kokusai Bldg. 21F  
4-28 Mita 1-Chome  
Minato-ku Tokyo 108 Japan

(03)3456-3191 ~ 5  
Telex ICOT J32964

---

**Institute for New Generation Computer Technology**

## 1. ま え が き

大規模並列推論マシン P I M / m ( P a r a l l e l I n f e r e n c e M a c h i n e ) <sup>(1)</sup> の要素プロセッサの V L S I 化にこのほど成功したのでその内容について報告する。 P I M / m は、第 5 世代コンピュータプロジェクトの一環として当社が開発している並列推論マシンであり、既に開発された中規模の並列推論マシン M u l t i - P S I / v 2 <sup>(2)</sup> の後継機として位置づけられる。 P I M / m は要素プロセッサを 2 次元格子状に接続したマシンであるが、要素プロセッサを V L S I 化することにより実装密度が飛躍的に向上し、 M u l t i - P S I / v 2 の 4 倍である 2 5 6 個の要素プロセッサをほぼ同一の簡体の実装することが可能となった。

性能面では、要素プロセッサのアーキテクチャの改良が大きな効果を発揮している<sup>(3, 4, 5)</sup>。 P I M / m では 5 ステージのパイプラインを導入した。論理型言語の実行に必須であるデータの型判定もパイプライン化したため、実行ステージの負荷を大きく軽減することができた。また、メモリを命令用とデータ用に分離するバーバードアーキテクチャの採用によって、メモリアクセスに伴うオーバーヘッドが著しく改善されている。これらアーキテクチャ改良と、 V L S I 化によ

る遅延時間短縮との相乗効果により、ベンチマークプログラムの性能は3から6倍に向上している。

以下、本稿ではPIM/mの要素プロセッサのアーキテクチャとそれを構成するキーデバイスのVLSI化について述べる。

## 2. PIM/mの概要

PIM/mは、図1に示すように最大 $16 \times 16$ の2次元格子状に256個の要素プロセッサを結合した疎結合のマルチプロセッサである。ディスクなどの入出力装置やフロントエンドプロセッサ(FEP)も接続することができる。

PIM/mでは、データや制御情報の送受はネットワークを介したメッセージ通信によって行われる。このメッセージ通信を高速に行うために、各要素プロセッサはネットワークコントローラを持っている。ネットワークコントローラは、送られてくるメッセージのあて先により自動的にネットワークのスイッチングを行うため、単に通過するだけのメッセージについてはCPUでの処理は全く不要となる。また、隣接するプロセッサを結ぶネットワークチャンネルは完全に双方向であり、かつ行き先のチャンネルが競合しない限り複数のメッ

セージを同時に処理することができる。

P I M / m の要素プロセッサで実行されるプログラムは K L 1 と呼ばれる並列論理型言語である。一方 F E P では逐次処理型の論理型言語である K L 0 や E S P が実行される。

### 3. 要素プロセッサ

要素プロセッサは、図 2 に示すように 3 つの V L S I チップ P U ( Processing Unit)、C U ( Cache Unit)、N U ( Network Control Unit) を中心に構成されている。P U チップは、5 ステージのパイプラインを持ったマイクロプロセッサであり、32 K w の W C S ( Writable Control Storage) に格納されたマイクロプログラムにより論理型言語を実行する。C U チップは 1 K w の命令キャッシュ、4 K w のデータキャッシュ ( データメモリはチップ外) のほか、T L B ( Translation Look aside Buffer) や主記憶の制御回路からなる。N U チップは、隣接する 4 プロセッサを結ぶネットワークチャネルのスイッチングを行うとともに、P U チップが行うメッセージの送受信を制御する。

これら 3 つの V L S I は C M O S セルベース方式により設計した。チップ諸元を表 1 に示す。

### 3. 1 P U チ ッ プ

#### 3. 1. 1 タ グ

論理型言語では変数に対する型宣言がないため、変数は任意の型のデータを保持することができ、かつ一般にはコンパイル時に変数の型を予測することができない。従って、変数のデータの型を実行時に定め、かつ判定する処理が必要となるが、これを実現するものがタグである。論理型言語の処理では、このタグの操作が重要であり、P U チ ッ プ の設計に際してもその高速化に重点をおいた。

P I M / m では、図 3 に示すように 1 ワードの幅は 40 ビットであり、その内の 8 ビットがタグとして用いられている。すなわち図 3 の ( a ) は整数の 1990 であり、( b ) は 1990 番地へのリストセルへのポインタである。( c ) は参照ポインタと呼ばれる特殊なポインタであり、データの操作をポインタが指しているデータに対して行うことを示している。一般には任意段数の参照ポインタの連鎖の末尾に操作すべきデータがある。従って、データ操作を行う際には参照ポインタをたどりその末尾を見つけるデレファレンスという処理が必要となる。

### 3. 1. 2 ハードウェア構成

P Uチップは図4に示すようにD、A、R、S、Eの5つのパイプラインステージで構成されている。

Dステージには命令デコードのためのRAMテーブルがあり、マイクロプログラムの実行開始アドレスや下流のステージを制御するためのナノコードが格納されている。デコーダをRAMで構成したことは、複数言語のサポートや、マイクロプログラム開発に多大な効果をもたらしている。

Aステージではオペランドのアドレス計算を行い、Rステージはその結果に基づき、主記憶からオペランドを読み出す。

Sステージは、主記憶上のオペランド及びそのアドレス、命令フィールド、レジスタファイル(RF)、ワーキングレジスタ(WR)、及びいくつかの特殊レジスタ(SR)の中から、3つのデータをオペランドとしてEステージに引き渡す。また、主記憶から読み出したオペランドのタグにより、Eステージで実行されるマイクロプログラムの開始番地を修飾する機能があり、頻繁に行われるデータタイプの判定がパイプライン化されている。

Sステージのもう1つの重要な機能として、デレファレン

ス機能がある。R Fを元データとするデレファレンスの場合、元データのタグが参照ポインタである時のみRステージで主記憶の読み出しが行われる。さらに、その結果が参照ポインタである時には、Sステージにより参照ポインタでないデータが見つかるまでデレファレンスが行われる。

Eステージは、フェーズ1とフェーズ2の並行に動作する2つのブロックから構成され、マイクログラムによって制御される。フェーズ1には命令レジスタ、R F、W R、及びS Rがあり、この中から2つのものが選択されてフェーズ2に送られる。なお、マイクログラムルーチンの最後のマイクロ命令では、フェーズ1はSステージによって制御され、オペランドのセットアップのために使用される。

フェーズ2には、メモリアドレスレジスタ、メモリデータレジスタ、及び作業用レジスタがそれぞれ2つある。フェーズ2ではこの中から2つのレジスタを選択し、演算結果をフェーズ1及びフェーズ2のレジスタに書き込む。

### 3. 1. 3 レイアウト設計手法

図5にP Uチップのチップ写真を示す。設計期間短縮のため、セルベース方式によって自動でレイアウト生成を行った。

12K個のポリセルと、モジュールジェネレータにより生成されたRAMやPLAよりなる。

クロックスキューを最小にするため、図6に示すようにクロックバッファをチップの両サイドに配置した。バッファからフリップフロップまでのクロック線の抵抗を下げるため、垂直チャネルの線幅を広く(10 $\mu$ m、第2アルミ使用)し、水平チャネル内で両バッファの出力を結合した。

駆動するゲート数、及び配線経路から求められる抵抗値と容量値で簡単なSPICEシミュレーションを実行しただけで、実際のチップをEBテストで実測した結果、2nsec以内のクロックディレイと1nsec以内のクロックスキューを達成することができた(図7)。この簡単なクロック方法は、これからの大規模ASICに十分適用が可能と考えられる。

### 3. 2 CUチップ

#### 3. 2. 1 ハードウェア構成

CUチップは図8に示すように、命令キャッシュ・ブロック、データキャッシュ・ブロック、及び主記憶インタフェース・ブロックから構成されている。命令キャッシュ・ブロックは、4w/blockのダイレクトマッピング方式の1Kwのデ

ータメモリと 256 W のタグメモリならびに 2 セット、64 エントリのセットアソシアティブ方式の TLB とからなる。命令キャッシュのヒット率の予測値は 94.4 % であり、キャッシュ容量を 2 倍にしてもヒット率は全くといって良いほど向上しないため、妥当な容量であると考えられる。TLB のヒット率については、評価データの理想値である、99.83 % が得られている<sup>(5)</sup>。

CU チップのピン数削減のため、PU チップと命令キャッシュ・ブロックのインタフェースはアドレス／データ共用信号となっているので、命令キャッシュ・ブロックには PU チップのプログラムカウンタのコピーがある。このプログラムカウンタの操作にかんしては、命令フェッチの際には自動的にインクリメントされるのでオーバーヘッドはないが、PU チップが分岐処理を行う際には正しいプログラムカウンタの値をセットする必要がある。

データキャッシュ・ブロックは、4 W/block のダイレクトマッピング方式の 1 KW のタグメモリと、2 セット、64 エントリのセットアソシアティブ方式の TLB とからなる。データメモリはチップサイズの関係からチップ外部に置かれている。データキャッシュと TLB のヒット率はそれぞれほと

んど理想値に近い99.2%と99.88%と予測されている。

この他、データキャッシュ・ブロックには論理型言語に特有のバックトラック処理をサポートするための、Trail Bufferという32エントリのスタックがある。論理型言語ではバックトラックが発生すると、それまでに行った変数への代入をリセットしなければならない。このため、変数への代入の際にはそのアドレスをTrail Stackというスタックに記憶しておく必要がある。Trail BufferはTrail Stackの最上部のキャッシュであり、変数の代入のための書き込み操作の際に、そのアドレスが自動的にプッシュされる。またバックトラックの際にはアドレスのポップアップとアドレスのリセットのための書き込みがCUチップ内部で行われる。

主記憶（物理記憶）の各ワードには、1ビット誤り訂正／2ビット誤り検出可能なECC符号の検査ビットが付加されている。主記憶インタフェースでは、ECCによる誤り訂正、検出、検査ビットの付加の他、主記憶の動作タイミング生成も行われる。

### 3. 2. 2 レイアウト設計手法

図 9 に C U チ ッ プ の チ ッ プ 写 真 を 示 す。 P U チ ッ プ と 同 様  
の ク ロ ッ ク 配 線 手 法 を 用 い て、 セ ル ベ ー ス 方 式 に よ っ て、 6  
0 K ト ラ ン ジ ス タ の 標 準 セ ル と、 モ ジ ュ ー ル ジ ェ ネ レ ー タ で  
自 動 発 生 し た 8 0 K ビ ッ ト の R A M を 自 動 配 置 配 線 し た。 レ  
イ ア ウ ト は、 配 線 長 を 短 く 抑 え る た め に、 命 令 キャ ッ シ ュ ・  
ブ ロ ッ ク、 デ ー タ キャ ッ シ ュ ・ ブ ロ ッ ク、 主 記 憶 イ ン タ フ ェ  
ー ス ・ ブ ロ ッ ク を サ ブ ブ ロ ッ ク と し て 階 層 的 に 自 動 配 置 配 線  
を 実 行 し た。 図 1 0 に 各 ブ ロ ッ ク 内 の 配 線 長 を 示 す。 配  
線 長 は ブ ロ ッ ク の サ イ ズ が 大 き く な る と 増 加 す る が、 ブ ロ ッ  
ク 分 割 に よ っ て 各 ブ ロ ッ ク サ イ ズ が 小 さ く な っ て い る の で 配  
線 長 は 短 く 抑 え ら れ て い る。 さ ら に、 ク リ チ カ ル ・ バ ス を 構  
成 す る ヒ ッ ト ・ チ ェ ッ カ や プ ロ グ ラ ム ・ カ ウ ン タ を 標 準 セ ル  
で モ ジ ュ ー ル 化 し て サ ブ ・ ブ ロ ッ ク 内 に 配 置 し た。 図 1 1 に  
命 令 キャ ッ シ ュ の 読 み 出 し 波 形 を し め す。 命 令 キャ ッ シ ュ の  
R E A D Y 信 号 の 遅 延 時 間 は 2 7 n s e c で あ る。 自 動 配 置  
配 線 で は ブ ロ ッ ク ・ サ イ ズ が 大 き く な る と 急 激 に 処 理 時 間 が  
増 加 す る が、 階 層 レ イ ア ウ ト を 行 う こ と に よ っ て レ イ ア ウ ト  
の 生 成、 検 証 に 要 す る 時 間 が 大 幅 に 短 縮 し 1 週 間 で 処 理 す る  
こ と が で き た。

### 3. 2. 3 テスト容易化設計

C U チ ッ プ の テ ス ト バ タ ー ン は、 4 1 0 段 の ス キ ャ ン バ ス を 利 用 し て テ ス ト バ タ ー ン 自 動 発 生 プ ロ グ ラ ム ( M U L T E S ) に よ っ て 発 生 し た。 ス キ ャ ン ・ バ ス の 占 め る 面 積 は 2 % で あ る。 ス キ ャ ン テ ス ト に よ っ て 内 蔵 R A M を 試 験 す る と テ ス ト 時 間 が 長 く な る た め、 C U チ ッ プ は 4 0 ビ ッ ト の デ ー タ バ ス を 介 し て 内 蔵 R A M を 読 み 書 き す る 命 令 を そ な え て い る。 こ の 命 令 を 利 用 す る こ と に よ っ て ス キ ャ ン ・ テ ス ト の 場 合 の 4 % の テ ス ト 時 間 で 内 蔵 R A M が テ ス ト で き た。 ま た、 こ の 命 令 を 利 用 し て 内 蔵 R A M の ボ ー ズ テ ス ト、 電 源 電 圧 バ ン プ テ ス ト を 実 行 し て 内 蔵 R A M の 不 良 検 出 率 を 向 上 さ せ て い る。

### 4. システム性能評価

表 2 は P I M / m 要 素 プ ロ セ ッ サ に お け る 並 列 処 理 言 語 と、 逐 次 処 理 言 語 の a p p e n d 処 理 に お け る 性 能 を 示 し た も の で あ る。 ま た、 比 較 の た め に M u l t i - P S I / v 2、 P S I - I I の 性 能 も 示 し て い る。

## 5. むすび

高集積の V L S I チップを用いることにより、従来の 4 倍の実装密度を達成することができ、大規模な並列処理が可能となった。また、論理型言語の特徴を考慮したパイプラインの導入やキャッシュメモリの構成等により、従来に比べて 3 から 6 倍に性能が向上し、要素プロセッサ単体で 1. 4 M L I P S (Logical Inference Per Second) という世界的にトップクラスの推論速度を達成することができた。

## 参考文献

- ( 1 ) S. Uchida et al: Research and Development of the Parallel Inference System in the Intermediate Stage of the F G C S Project, Proc. of the Intl. Conf. on Fifth Generation Computer Systems 1988、16～36 ( 1988 )
- ( 2 ) 武田保孝ほか: (財)新世代コンピュータ技術開発機構向けマルチ P S I システム、三菱電機技報、Vol. 62、No. 12、90～95 ( 1988 )

- ( 3 ) H. Nakashima et al: Hardware Architecture of the Sequential Inference Machine: P S I - II, Proc. of 4 th I E E E Symp. on Logic Programming, 1 0 4 ~ 1 1 3 ( 1 9 8 7 )
- ( 4 ) 中島浩ほか: L S I 化高性能 A I ワークステーション M E L C O M P S I II 、三菱電機技報、Vol. 6 2、No. 1 2、6 1 ~ 6 6 ( 1 9 8 8 )
- ( 5 ) H. Nakashima et al: A Pipelined Micro-processor for Logic Programming Languages, Proc. of Intl. Conf. on Computer Design, 3 5 5 ~ 3 5 9 ( 1 9 9 0 )
- ( 6 ) 中島浩ほか: P S I - II のメモリ・アーキテクチャ評価、情報処理学会計算機アーキテクチャ研究会 9 0 - A R C - 8 0 - 8、5 7 ~ 6 4 ( 1 9 9 0 )

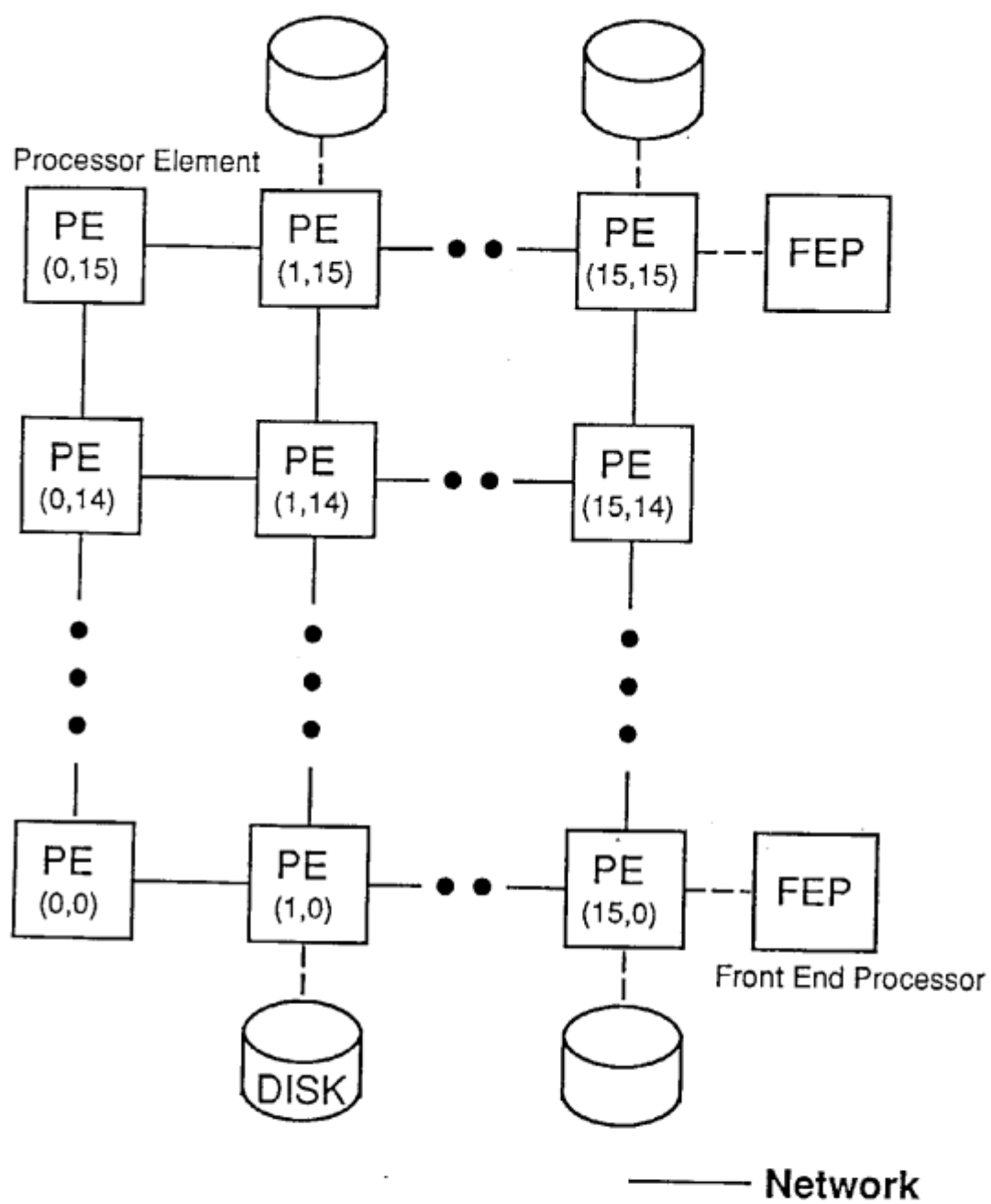


図 1. P I M / m の構成

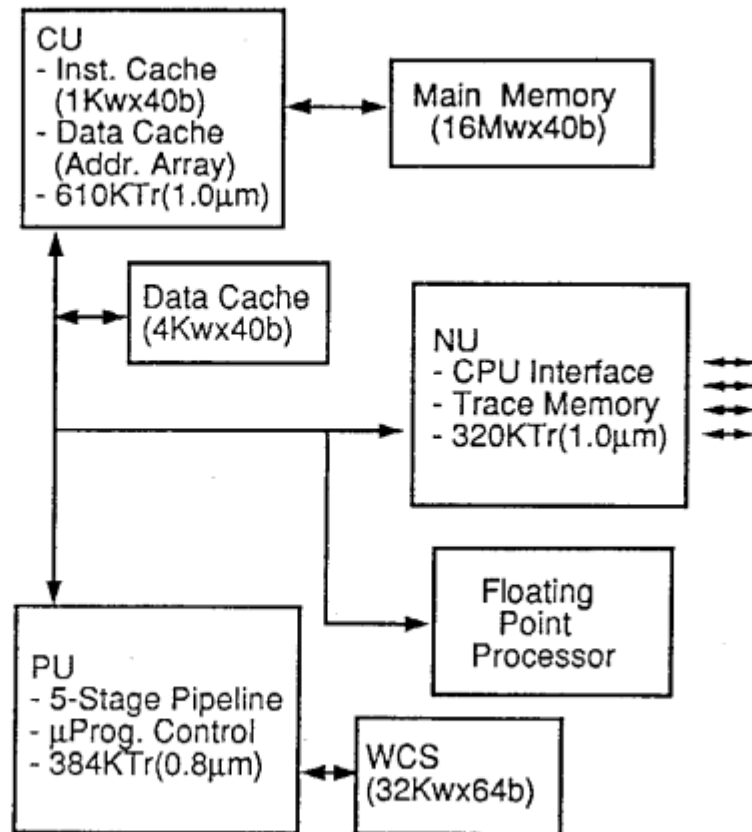


図 2. 要素プロセッサ

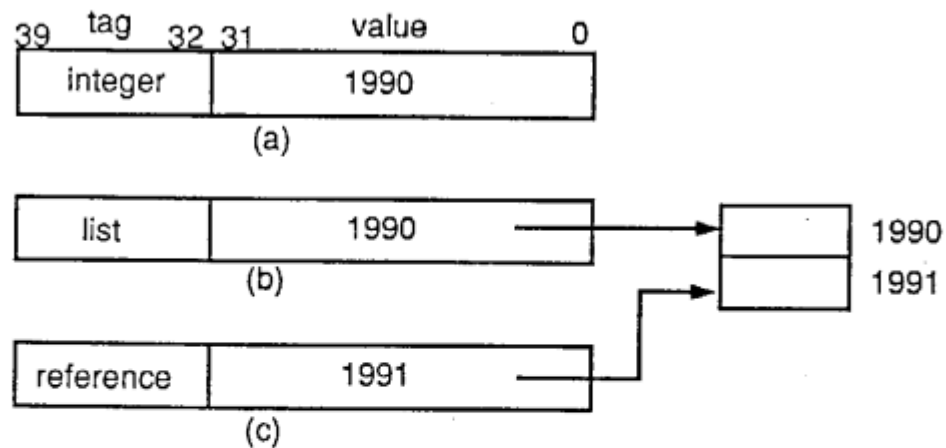


図 3. データの内部表現

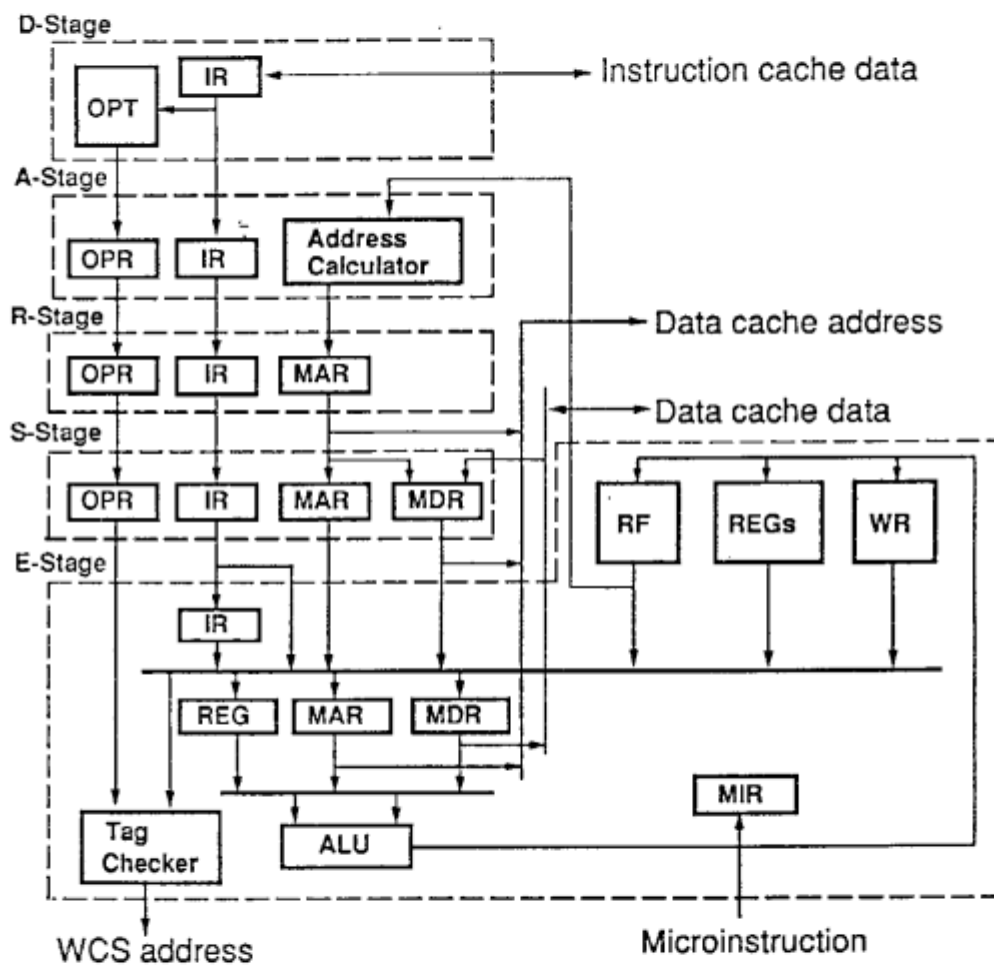


図 4. PUチップの構成

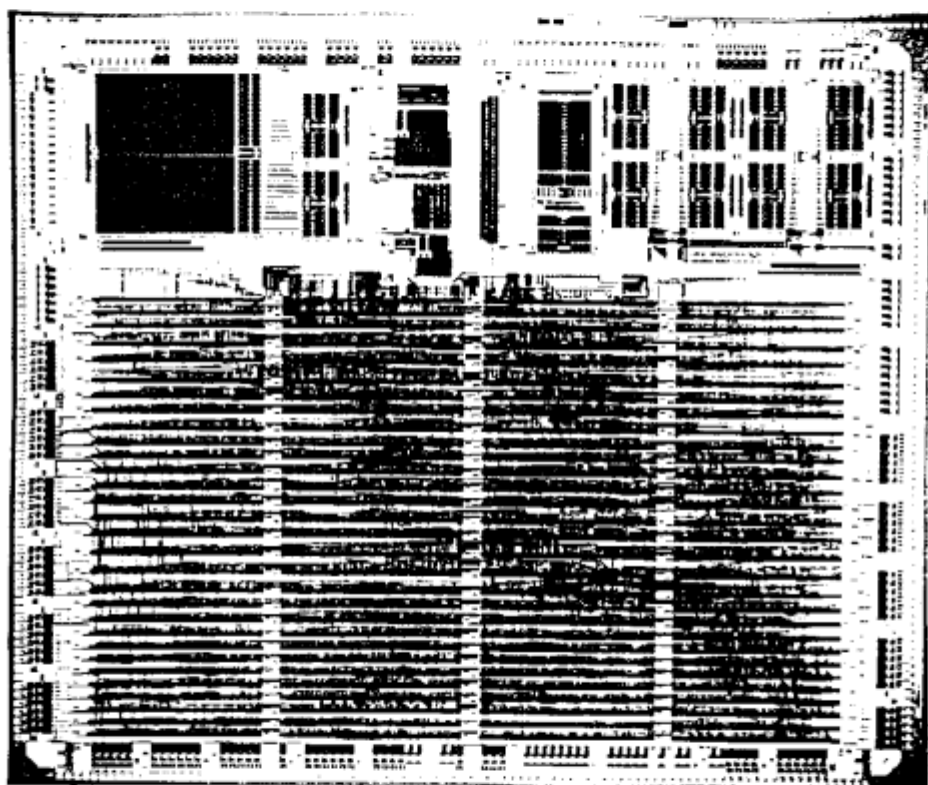


図 5. PUチップ写真

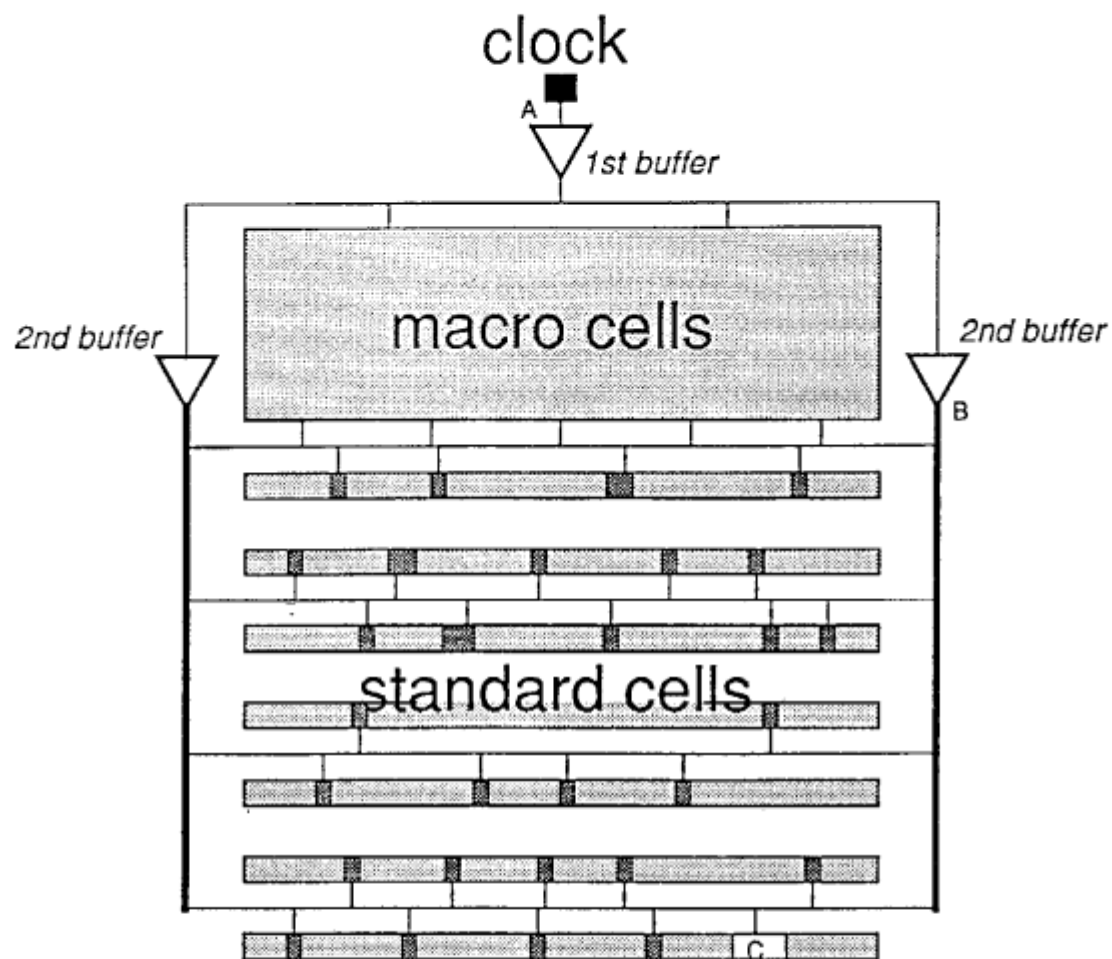


図 6. PUチップのクロック配線

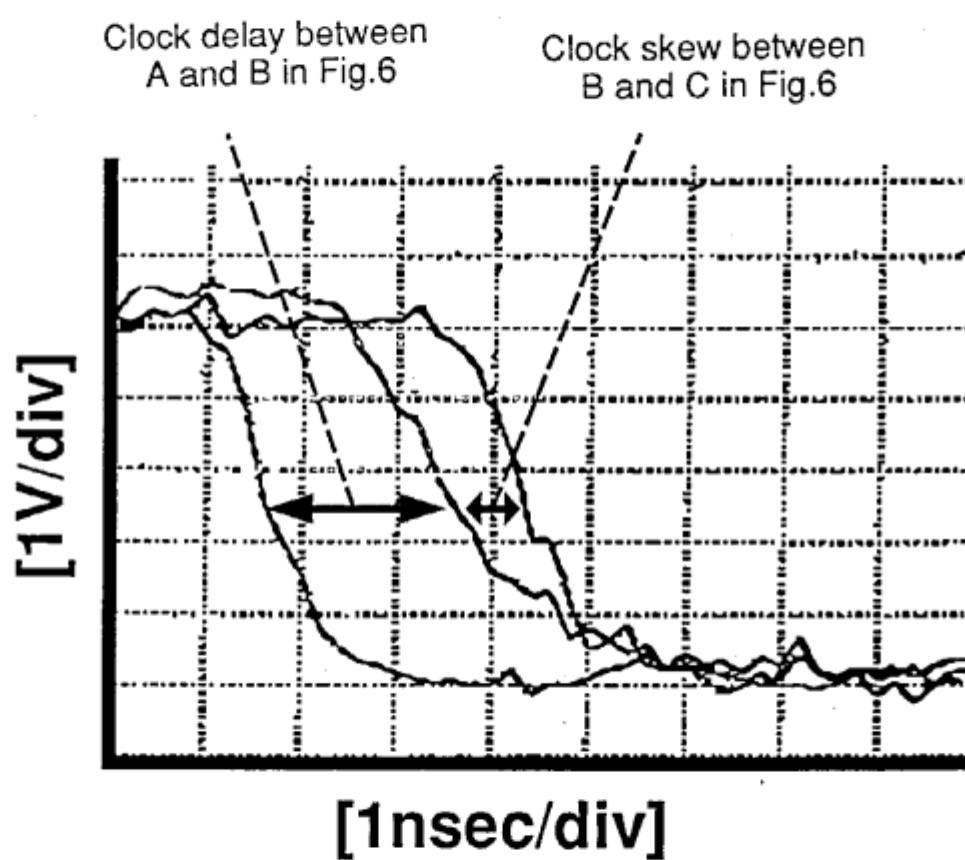


図 7. クロック波形

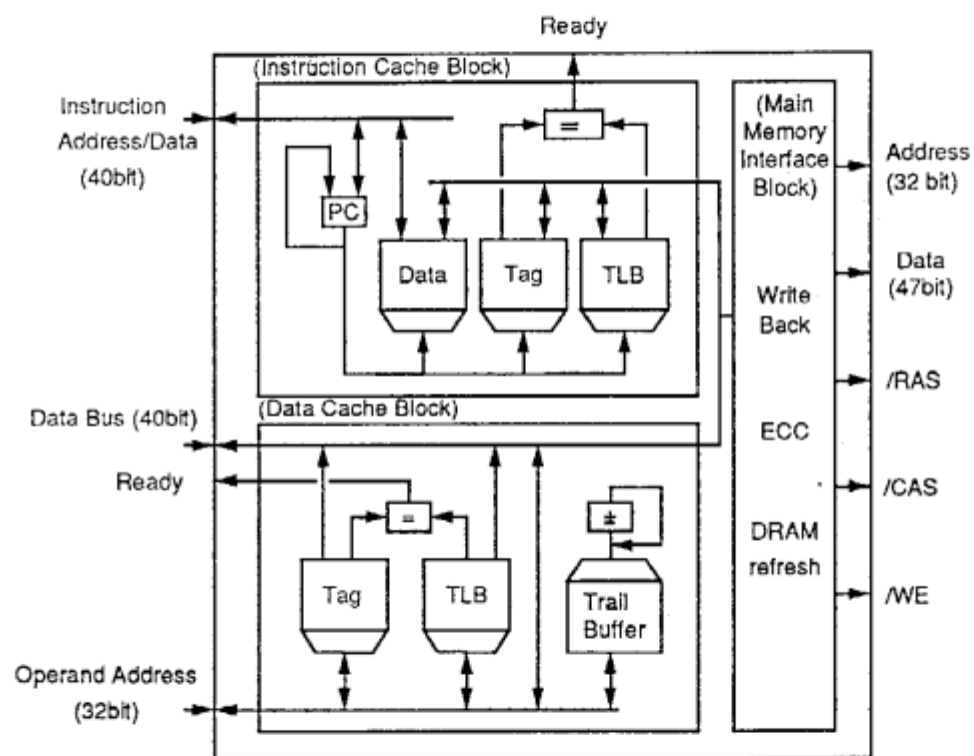


図 8. C Uチップの構成

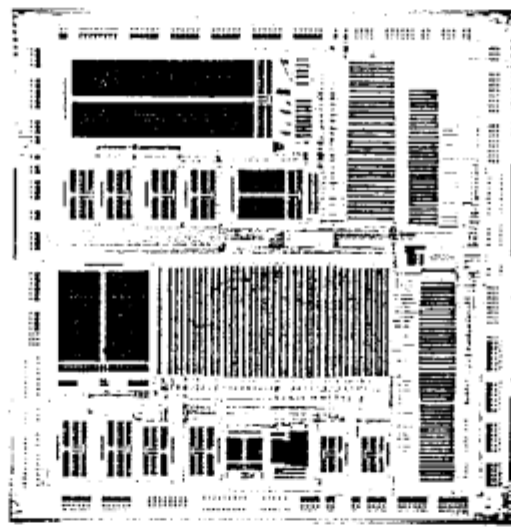


図 9. C Uチップ写真

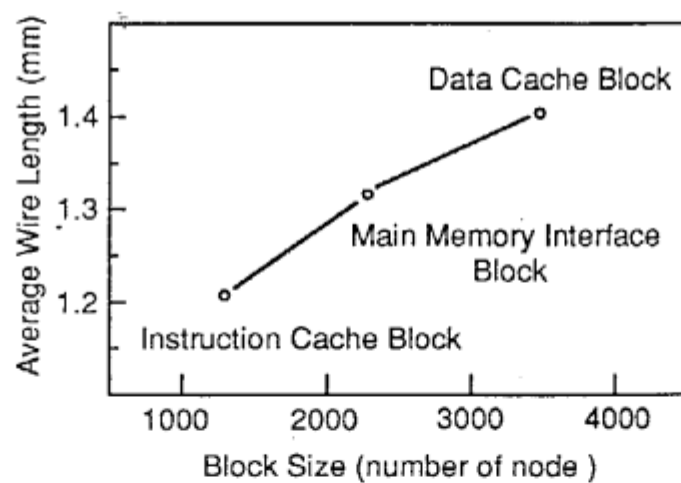


図 1 0. 自動配置配線による平均配線長

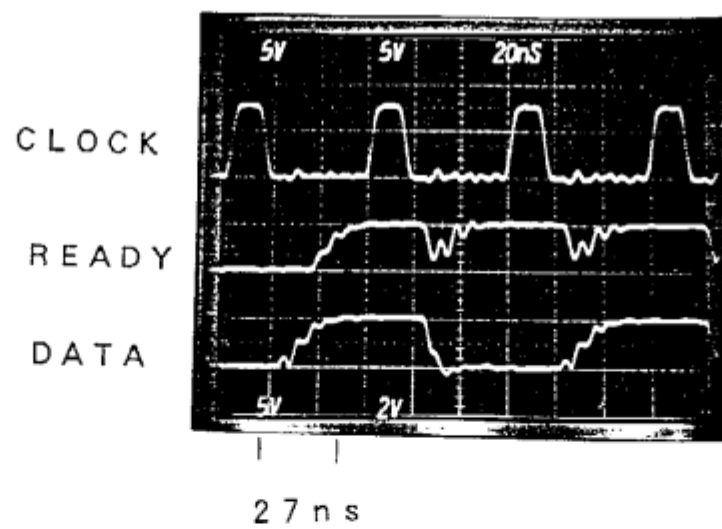


図 11. 命令キャッシュ読みだし波形

表1. PU/CU/NUチップの諸元

|               | PU                       | CU                       | NU                       |
|---------------|--------------------------|--------------------------|--------------------------|
| プロセス          | 0.8 $\mu$ m              | 1.0 $\mu$ m              | 1.0 $\mu$ m              |
| トランジスタ数       | 384K                     | 610K                     | 329K                     |
| RAM           | 270K                     | 542K                     | 261K                     |
| PLA           | 4K                       | 3K                       |                          |
| ロジック          | 110K                     | 65K                      | 68K                      |
| チップサイズ        | 16.3x13.6mm <sup>2</sup> | 14.5x14.8mm <sup>2</sup> | 14.2x14.0mm <sup>2</sup> |
| 消費電力<br>(@5V) | 2.5W                     | 2.3W                     | 2.2W                     |
| パッケージ         | 361PGA                   |                          |                          |
| 動作サイクル        | 65nsec                   |                          |                          |

表2. 性能比較

|              | MLIPS<br>KL1 / KLO |      |
|--------------|--------------------|------|
| PIM/m        | 0.60               | 1.40 |
| Multi-PSI/v2 | 0.14               |      |
| PSI-II       |                    | 0.43 |

MLIPS : Mega Logical Inference Per Second

: 1秒間の推論数

KL1 : 並列処理型論理型言語

KLO : 逐次処理型論理型言語