

協調型論理設計エキスパートシステム

ICOT
第7研究室
富士通株式会社

丸 山 文 宏

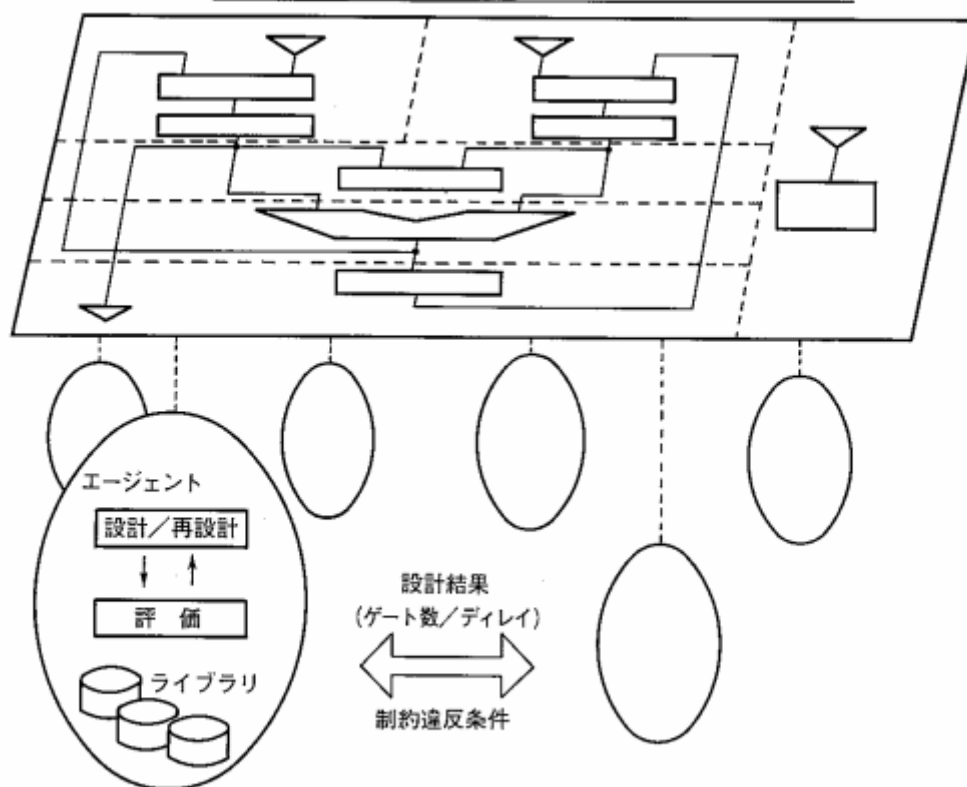
概 要

- 制約条件（回路規模及びスピード）の組が与えられた時，それらをすべて満たす論理回路を設計するシステム
- 上記制約充足問題に対する，並列プロセッサ上の並列協調方式
- 制約違反条件（論理式）による制約処理系
- 設計における選択肢（実現方法）を仮説と見なす仮説推論

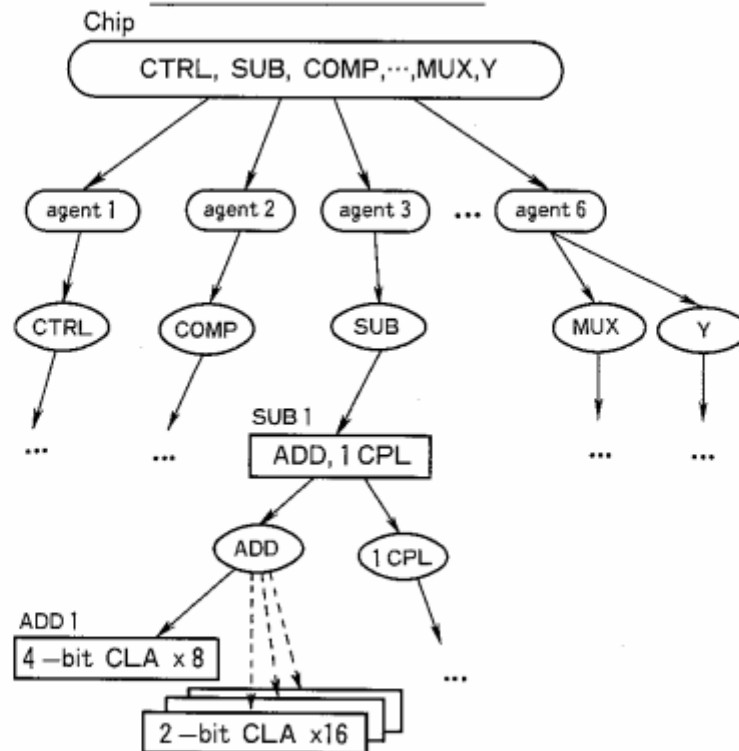
システム・イメージ

- 入出力
動作仕様，ブロック図，制約（回路規模及びスピード）を入力すると，制約を満足するCMOSスタンダードセルの回路（ネットリスト）を出力する
- 利用法のイメージ
回路規模の制約はLSIチップに搭載可能なゲート数の上限で指定し，スピードの制約はクロックサイクルで指定する

並列協調方式のイメージ



階層構造



制約違反条件(Nogood Justification)

- 暗黙の制約違反条件

$$\text{CTRL} + \text{COMP} + \text{SUB} + \dots + \text{MUX} + \text{Y} > \text{CHIP}$$

$$\text{Y}(\text{P}1) + \text{SUB}(\text{P}2) + 2 \text{CPL}(\text{P}1)$$

$$+ \text{MUX}(\text{P}2) + \text{Y}(\text{P}2) > \text{CLOCK}$$

ここで、CHIP, CLOCKはそれぞれゲート数、ディレイの制約値を示す変数

- 制約違反が起きる度に新しい制約違反条件が生成される

制約違反条件の展開

- 制約違反の条件を精密化する操作

$$\text{CTRL} + \text{COMP} + \text{SUB} + \dots + \text{MUX} + Y > \text{CHIP}$$

$$\text{CTRL} + \text{COMP} + \frac{\text{ADD} + 1 \text{ CPL}}{\dots} + \text{MUX} + Y > \text{CHIP}$$

$$\text{CTRL} + \text{COMP} + \frac{400 + 1 \text{ CPL}}{\dots} + \text{MUX} + Y > \text{CHIP}$$

制約違反条件の合成

- 制約伝搬の操作

$$\text{CTRL} + \text{COMP} + 400 + \dots > \text{CHIP} @ \text{ADD } 1$$
$$\text{CTRL} + \text{COMP} + 256 + \dots > \text{CHIP} @ \text{ADD } 2$$
$$\text{CTRL} + \text{COMP} + 240 + \dots > \text{CHIP} @ \text{ADD } 3$$

$$\text{CTRL} + \text{COMP} + 240 + \dots > \text{CHIP} @ \text{SUB } 1$$

- 一般には不等式の論理積が生成される

制約違反条件の組合せ

- 他のエージェントが生成した制約違反条件から新しい制約違反条件を生成する操作

Agent 3 (P 2) + 61.1 + Agent 6 (P 2) > CLOCK

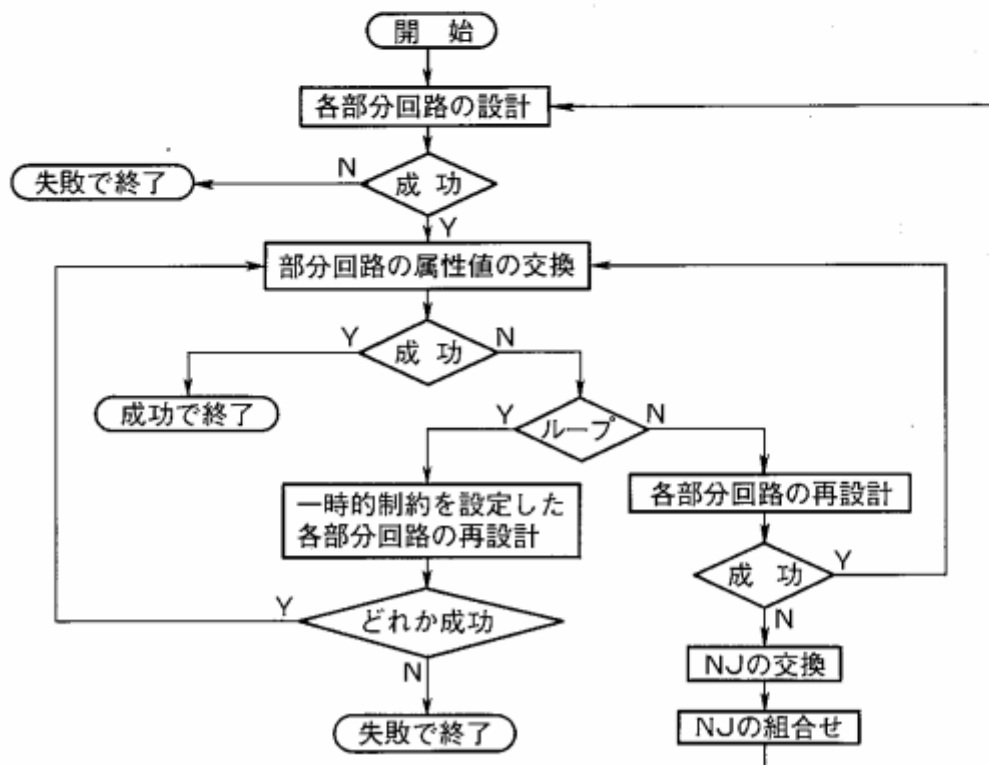
Agent 3 (P 2) + Agent 4 (P 1) + 15.6 > CLOCK



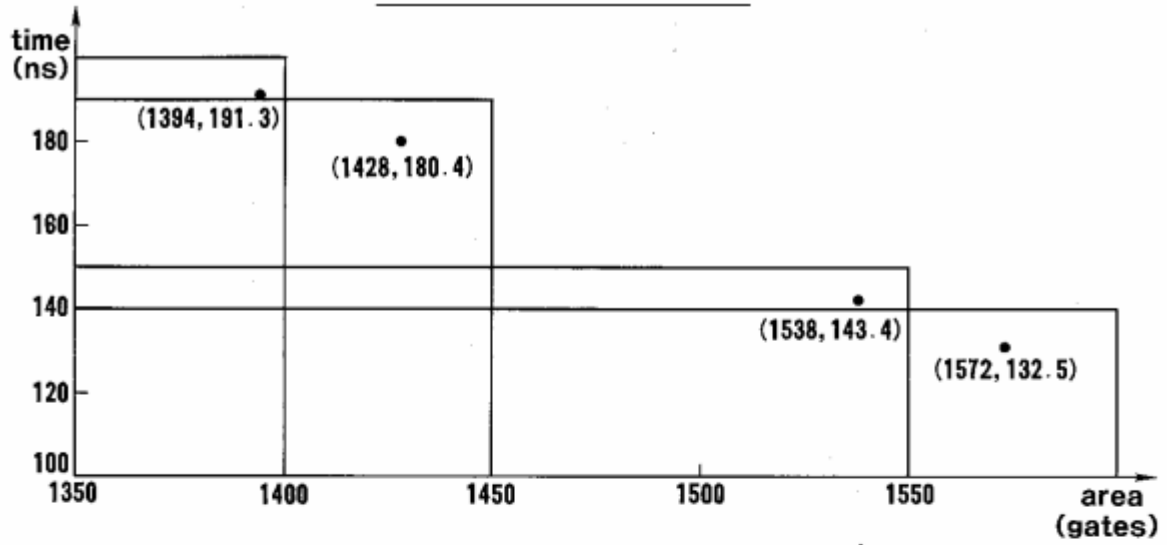
Agent 3 (P 2) + 76.7 > CLOCK @ Agent 3

ここで, Agent 6 (P 2) は Y (P 1) + MUX (P 2) + Y (P 2) を, Agent 4 (P 1) は 2 CPL (P 1) を表す

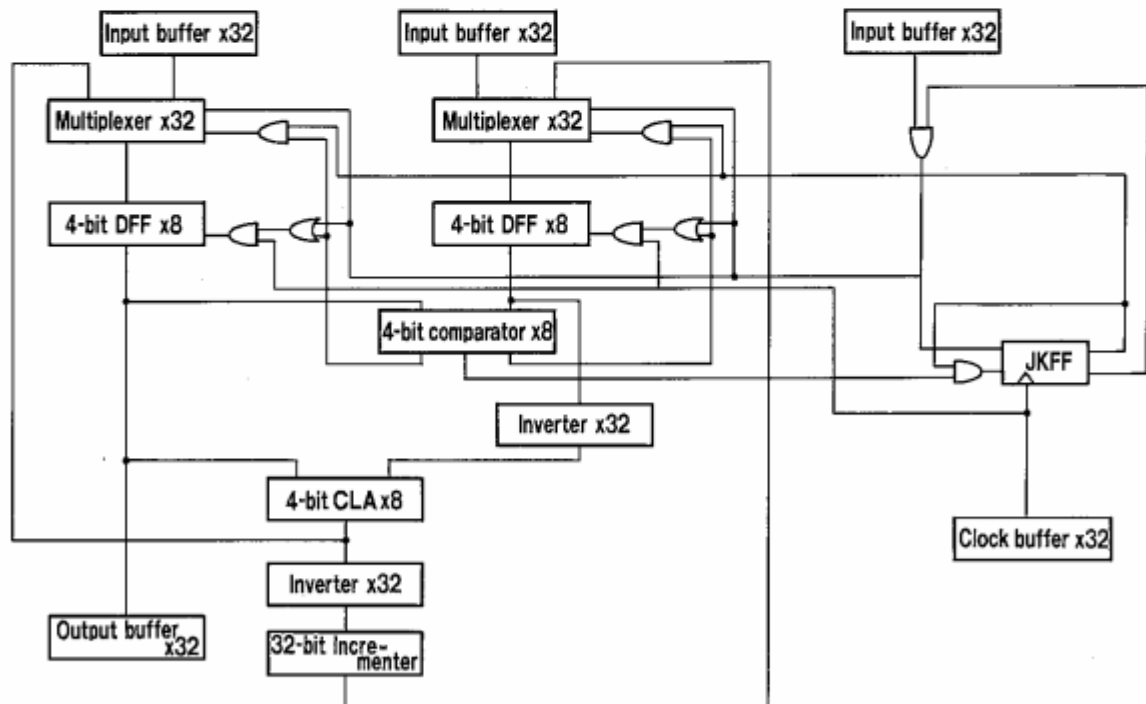
並列協調アルゴリズム



例題の実験結果



例題の設計結果



ま と め

- 制約条件をすべて満たす論理回路を合成するシステムの詳細設計を完了
- 制約違反条件を利用した並列協調アルゴリズムを設計
- 協調により繰り返し回数が削減する（半減以下）効果を確認

今後の予定

- KL 1 によるシステム全体の実装
- テクノロジに固有な設計知識の獲得
- 大規模な回路を用いた評価