

並列推論マシン P I M / p のアーキテクチャ

I C O T

第 1 研究室

富士通株式会社

篠木 剛

研究開発の目標と課題

目標

推論処理の高速実行のためのハードウェア

並列論理型言語 K L 1 プログラムの
高速実行のための専用マシン

課題

数百台クラスのプロセッサ間の結合方式

要素プロセッサのアーキテクチャ

プロセッサ間の結合構造

設計条件

プロセス粒度

K L 1 のゴール単位の中の並列

→ 数十ステップ～百ステップ程度

ゴール間通信の局所性を利用

プロセッサ台数の拡張性



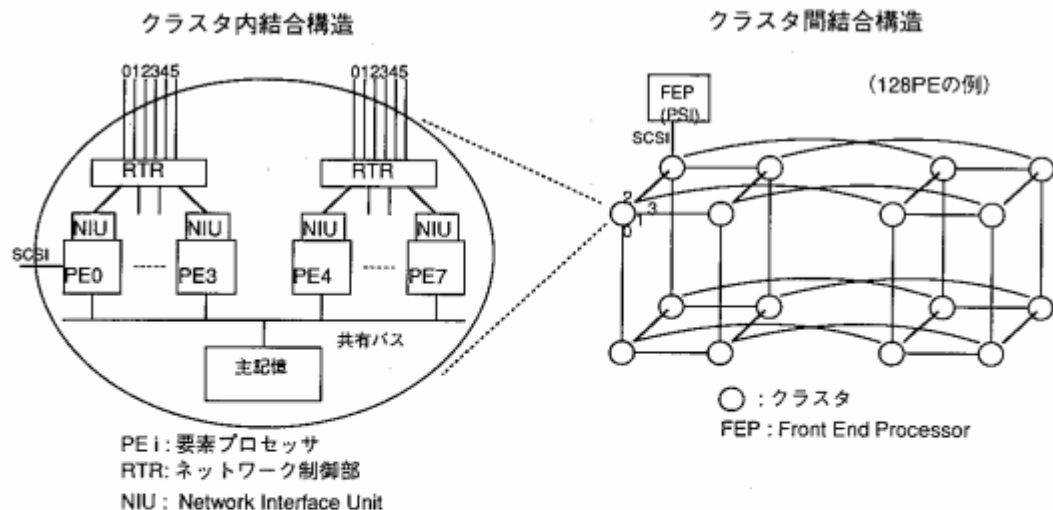
結合構造

2 階層結合構造

8 台のプロセッサを共有バス結合（クラスタとよぶ）

クラスタ間をネットワーク（ハイパーキューブ）結合

2 階層結合構造とネットワーク部の機能



ネットワーク部の機能

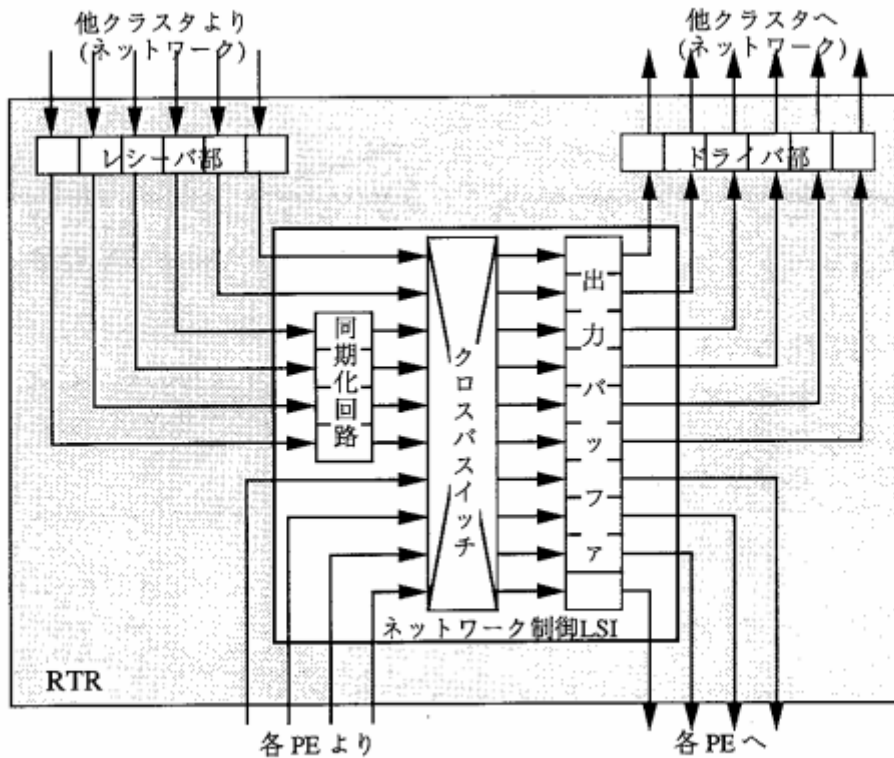
RTR パケットのルーティング

NIU パケット構造の生成

PE から / へのデータのパック / アンパック

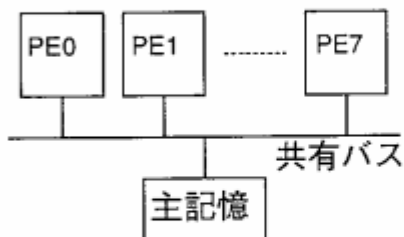
パケット到着割込み

ネットワーク制御部(RTR)の論理構成



要素プロセッサのアーキテクチャの設計のポイント

マルチプロセッサ向きアーキテクチャ



共有バス負荷の軽減

高機能命令 (マクロ命令)

ライトバック方式のスヌープキャッシュ

キャッシュ制御付メモリアクセス命令

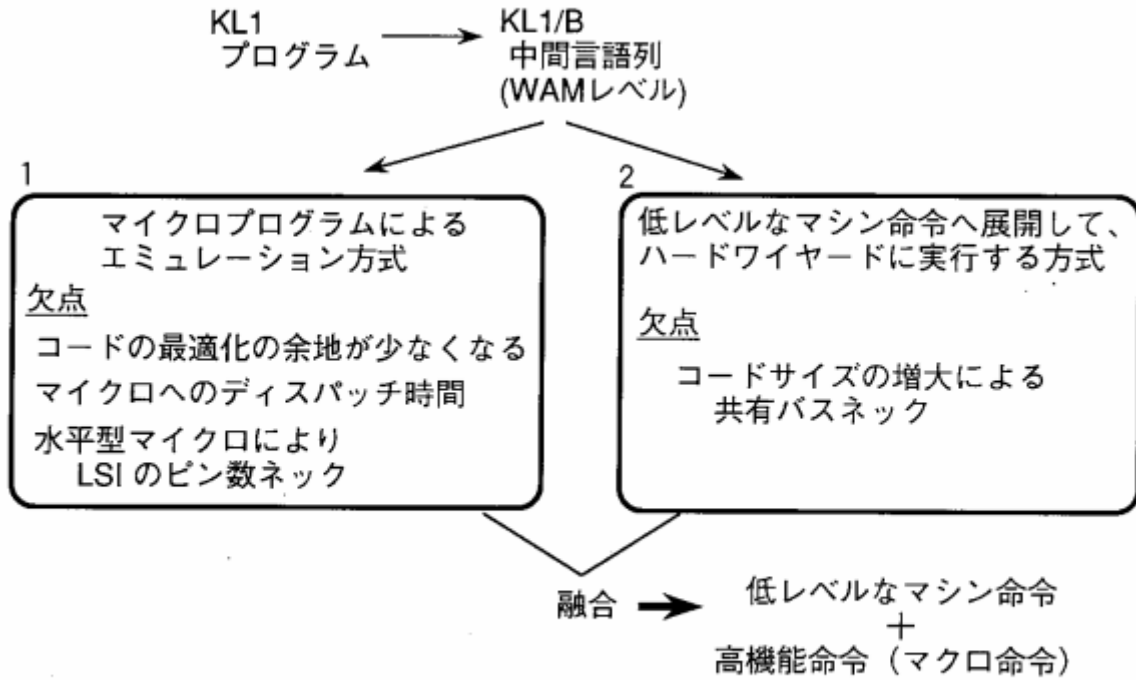
ローカルメモリ

K L 1 言語処理向きアーキテクチャ

タグアーキテクチャ

MRB方式GCサポート

KL1言語の実行方式の選択



マクロ命令による共有バス負荷の低減

動機

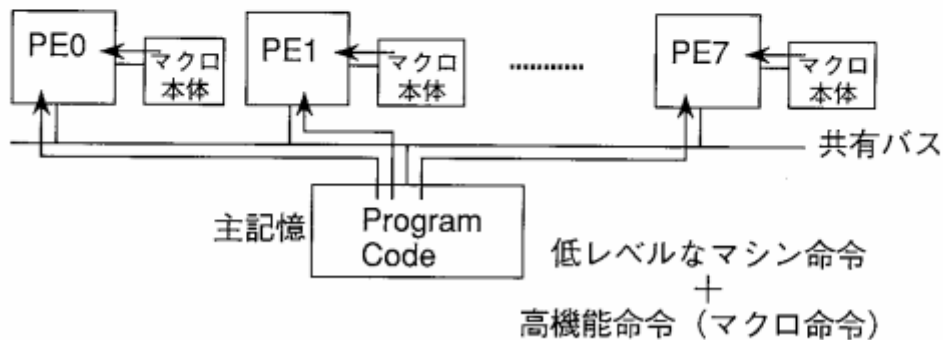
Program Codeをコンパクトにしてコードフェッチによる共有バス負荷を低減 → 高機能な命令を定義可能

特徴

マクロ本体も、マシン命令で記述 → システム記述者による定義が容易

マクロ命令の命令形式

Mcall <arg0>, <arg1>, <arg2>, <マクロ本体entryAddress>



キャッシュ動作制御付メモリアクセス命令

無駄なデータが共有バス上に流れないように、
プログラムから、キャッシュの動作を指示するための命令

Direct Write 命令

目的： あるキャッシュブロックへのはじめての書き込みのとき、
無駄なスワップインをなくす

動作： memory write命令であるが、キャッシュミス時に、
キャッシュにブロックエントリをとるだけで、
ブロックデータのスワップインなしに、データを書き込む

Read Purge 命令

Read Invalidate 命令

タグ判定命令

条件分岐命令 jump <タグ判定条件>, <PC相対offset>

条件マクロ呼出し命令

Mcall <タグ判定条件>, <arg2>, <マクロ本体entryAddress>

タグ判定条件 tag(<GRi>) op <immedtag>

op

xor	GRiのタグ部とimmedtagの各ビット間で xorした結果、すべて0であるか	一致判定
and	GRiのタグ部とimmedtagの各ビット間で andした結果、1つ以上1があるか	
or	GRiのタグ部とimmedtagの各ビット間で orした結果、すべて1であるか	
not xor	xorの条件反転	
not and	andの条件反転	
not or	orの条件反転	

MRB 方式GCの採用

K L 1 言語は、メモリへの破壊的代入を許さないため、急速にメモリを消費する。

一括型GCでは、メモリアクセスのローカリティが低いため、キャッシュや共有バスに大きな負荷をかける。



MRB (Multi-Reference Bit)方式GC

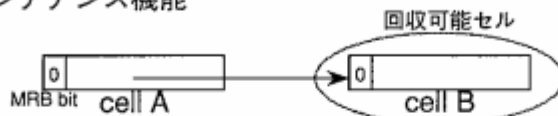
incremental 型のGCで、メモリアクセスのローカリティが高い。

汎用プロセッサでは、処理オーバーヘッドが大きい。

1. MRB bit のメンテナンス機能
2. フリーリスト管理機能
フリーリストへのpush, pop 機能

MRB 方式GCの要求する機能

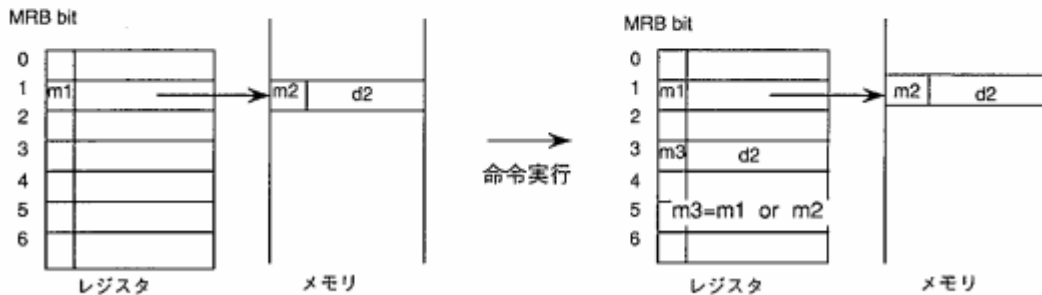
MRB bit のメンテナンス機能



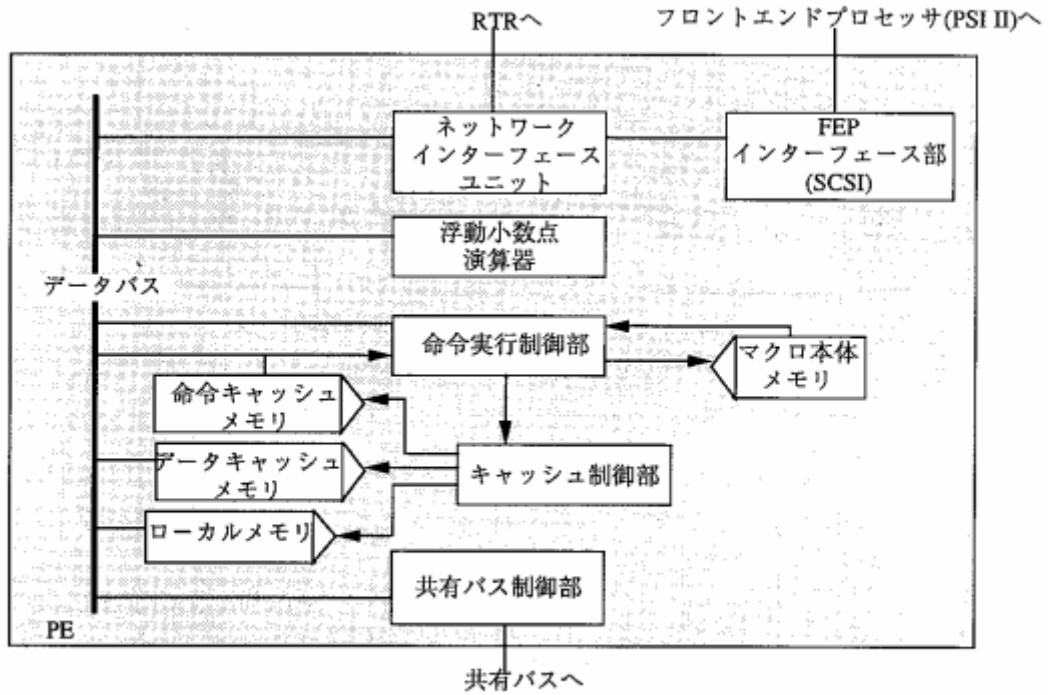
MRBbit(cell A) or MRBbit(cell B)を行う機能

readMRBor命令

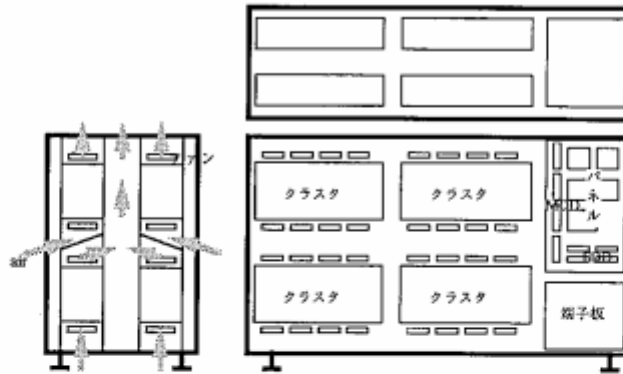
メモリリード命令で、アドレスレジスタのMRBbitと読み込んだデータのMRBbit とおしを ORする命令 1 サイクルで実行



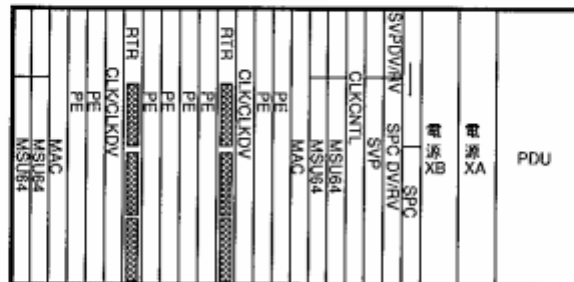
要素プロセッサ(PE)の論理構成



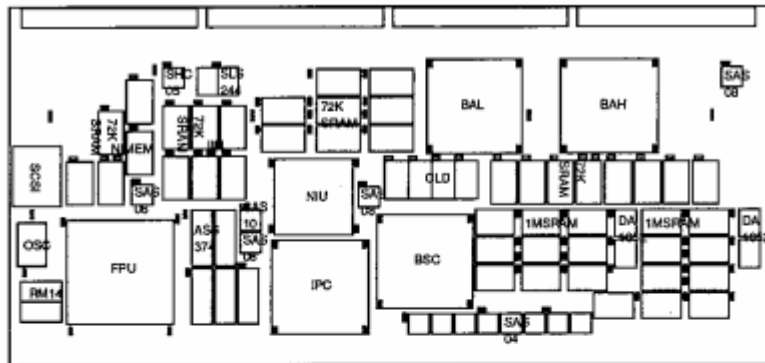
筐体



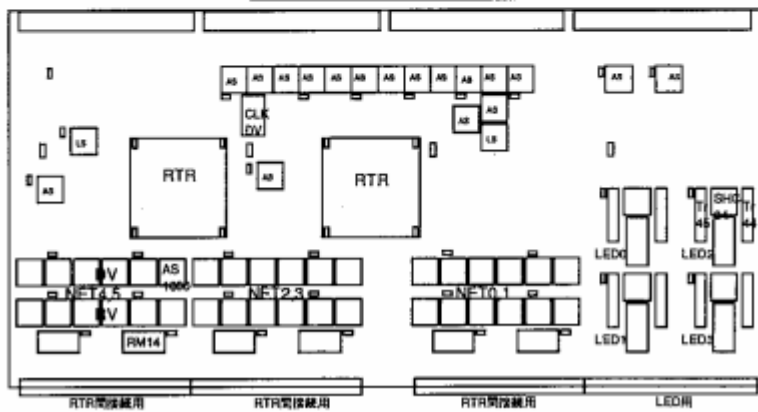
クラスタ



プリント板 PE 実装概略図



プリント板 RTR 実装概略図



諸元

要素 プロセッサ	汎用レジスタ	40bits(8bitsタグ+32bitsデータ)×32語
	マクロ本体メモリ	48bits × 8K語
	キャッシュ	命令用64KB, データ用64KB 32byte/ブロック×4way×512エン트리 ライトバック型のスヌープ方式
	ローカルメモリ	2 Mbytes
共有バス	8 bytes幅/マシンサイクル	
主記憶	256Mbytes/クラスタ	
ネットワーク	クラスタ間 8bits幅 × 二重化/マシンサイクル 約 4.0 Mbyte/s	