

協調型論理設計エキスパートシステムco-LODEX

概要

VLSI市場の拡大に伴い、高品質な設計を短期間で行うことのできる設計支援システムの実現が強く望まれている。co-LODEXは面積と時間に関する制約条件を受け取り、その制約条件を満たすCMOSスタンダードセルの回路（ネットリスト）を出力する。さらに、面積または時間について厳密に最適な回路を設計することもできる。複数のプロセッサによる並列処理とその間の協調動作により、短いターンアラウンドタイムが実現された。

特徴

(1)最適化機能

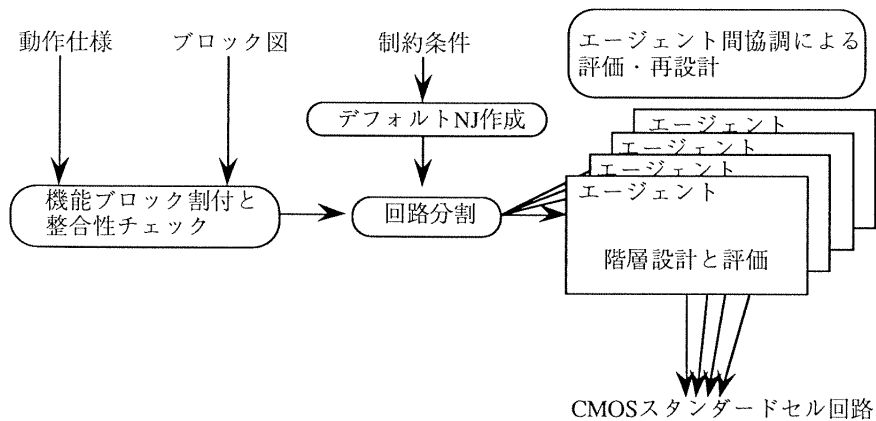
対応する制約条件を厳しくして繰り返すことにより、面積または時間について厳密に最適な回路が設計できる。

(2)評価・再設計機構

制約違反の十分条件（Nogood Justification: NJ）を利用して評価・再設計を行う。

(3)協調設計機構

設計の単位となるエージェントは、設計結果（成功の場合）あるいはNJ（失敗の場合）を交換することにより協調する。



co-LODEXの構成

概要

ユーザは動作仕様、構造仕様、及び、面積と時間に関する制約条件を指定する。図1に例を示す。動作仕様（右上）はハードウェア記述言語で記述する。構造仕様（左）はデータパスのブロック図で記述する。制約条件はゲート数あるいは伝播遅延時間に関する不等式で表され、不等号の向きを変えた不等式（デフォルトNJ）に変換される。各ウィンドウには、時間に関するひとつの制約について、対応するパス（左）、オペレーション（右上）、デフォルトNJ（右下）を反転表示している。

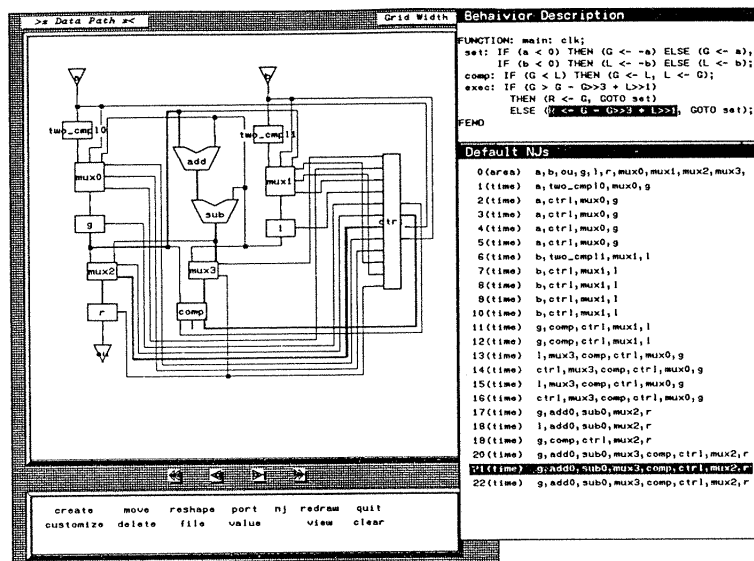


図1. co-LODEXの入力

co-LODEXは回路全体を部分回路に分割して設計する。各部分回路は設計エージェントにより設計される。co-LODEXでは、クリティカルパスの候補となるパス上のブロックが、できるだけ少数のエージェントに分配されるように回路を分割する。制約条件を共有するエージェントは互いに通信しなければならないから、クリティカルパスの候補となるパスを担当するエージェント間には多量のエージェント間通信が発生するからである。

co-LODEXは制約条件を満たすようなCMOSスタンダードセルのネットリストを出力する。このネットリストはCMOSスタンダードセル用の自動配置配線システムへの入力である。

協調設計機構

部分回路はエージェント内で階層的に設計される。図2にその様子を示す。減算器の構成要素である加算器（右上）はスタンダードセルで実現される。実現方法は3通りあり、左上から右下の3つのウィンドウ上に表示されている。

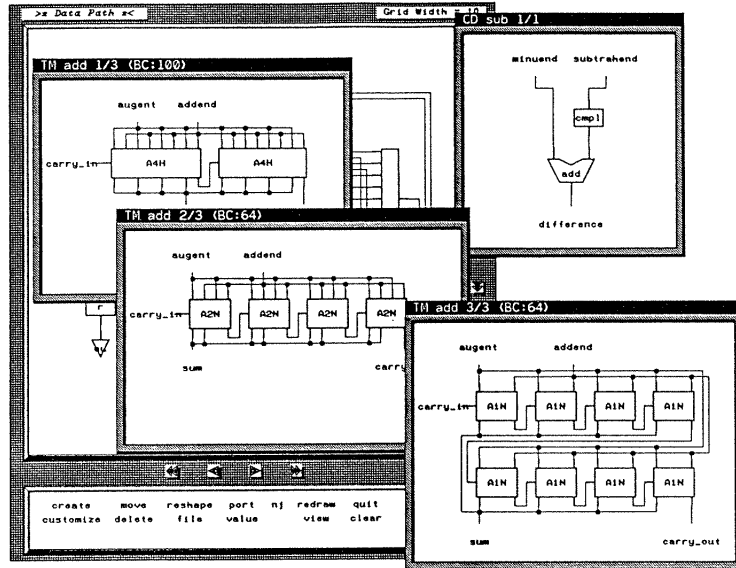


図2. 階層設計

各エージェント内での評価・再設計機構は制約違反の十分条件(NJ)を使用する。NJが満たされることは制約違反を意味し、評価・再設計機構が起動される。詳細については[Minoda 1992]を参照されたい。

部分回路を越えた評価・再設計はエージェントが設計結果（成功の場合）あるいはNJ（失敗の場合）を交換することにより起こる。我々の協調設計機構では、他のエージェントから受け取ったNJから作ったNJは、そのエージェントの探索空間を狭めるのに役立つ。co-LODEXを“協調型”と呼ぶ理由はここにある。付録に協調アルゴリズムの流れ図を示す。

実験結果

我々は co-LODEXをMulti-PSI上にKL1言語を用いて実装した。実験結果によれば、(1)co-LODEXは効果的に最適化を行うことが

でき、(2)エージェント数を15まで増やした場合最高でリニアの高速化が達成されている。

デモの概要

図1と図2に示したような回路を例としてco-LODEXの動作を説明する。エージェントの協調動作を説明するために、実際の実行結果のログ情報を元にした特別なインターフェースを用意した。協調アルゴリズムの詳細については付録を参照されたい。最後に、実機上でco-LODEXによる大規模回路の設計を実演する。

参考文献

[Minoda 1992] Y.Minoda, et al. "A Cooperative Logic Design Expert System on a Multiprocessor," Proc. of FGCS'92, pp.1181-1189(1992).

付録 (協調アルゴリズム)

