

## 階層再帰並列レイアウト実験システム「Co-HLEX」

### 概要

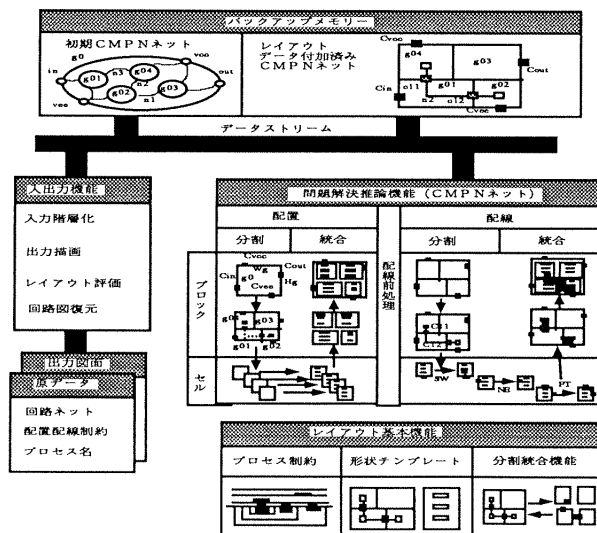
回路レイアウト実験システムの試作を通して、並列協調新算法の可能性、並列論理型言語K L 1の仕様記述性、並列推論マシンの問題解決能力を実証する。

### 特徴

I C O T 後期で開発中の大規模並列マシンの機能実証ソフトウェアとして、平成元年度、2年度の開発実績をもとにしつつ、電子回路レイアウト問題解決実験システムCo-HLEXを開発している。その特徴は、次の通りである。

- 配置・配線処理を、分割・統合両相からなる簡潔な並列再帰形式(HRCTL)で記述
- ストリーム並列プログラミング計算モデルによるシステム記述
- ブロック形状や配線の協調による整合
- グローバル配線法と迷路法を併用した並列配線法を開発
- 問題規模(素子数)にほぼ比例した高速性
- P E 数にほぼ比例した台数効果

### Co-HLEX のシステム構成



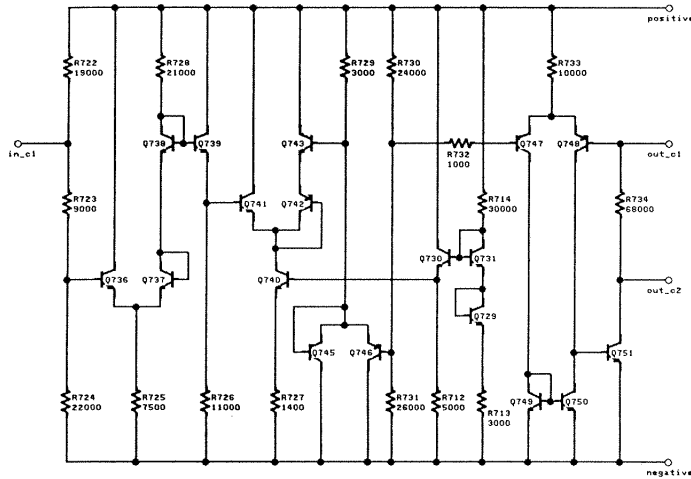
- 入力：回路ネットデータ、レイアウト予定矩形、予定端子位置。
- 処理：

フラットな回路ネットデータからレイアウト用階層プロセスネットを自動生成。

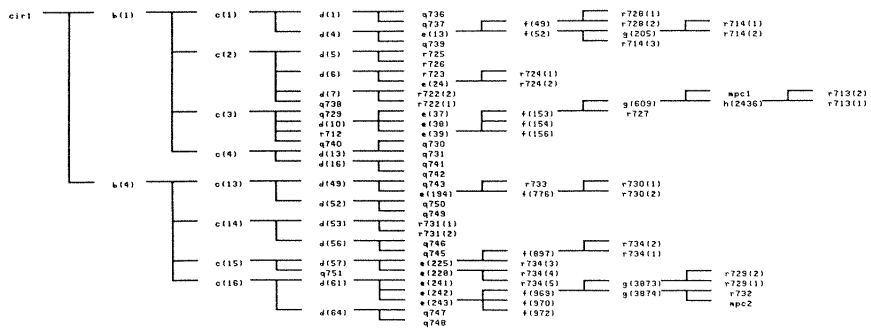
階層再帰並列協調算法 (HRCTL: フラクタル) を用いて、予定外形内に回路の配置・配線を生成。

- 出力：得られたレイアウトを表示する。

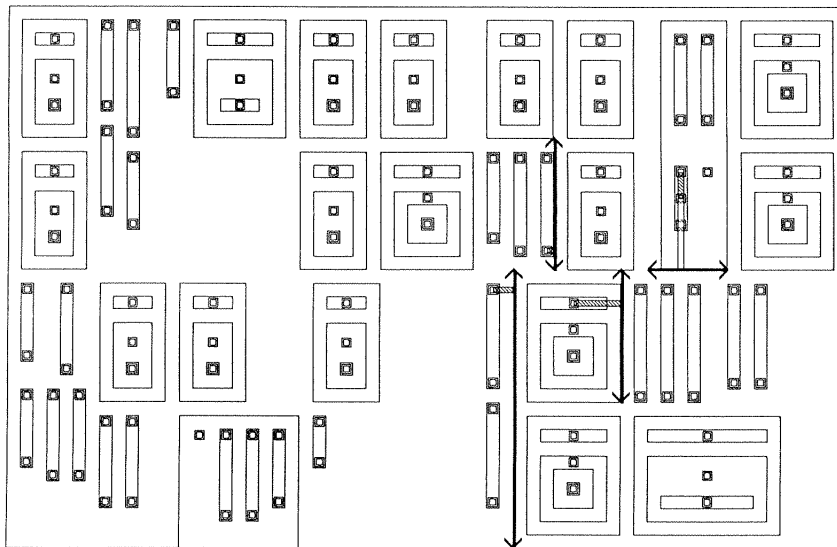
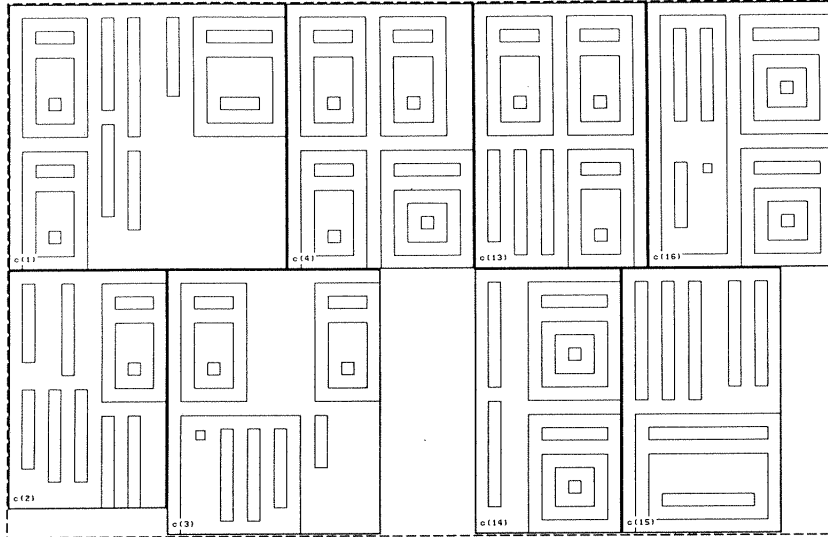
( 1 ) レイアウト対象回路の表示とレイアウト問題の説明を行う。



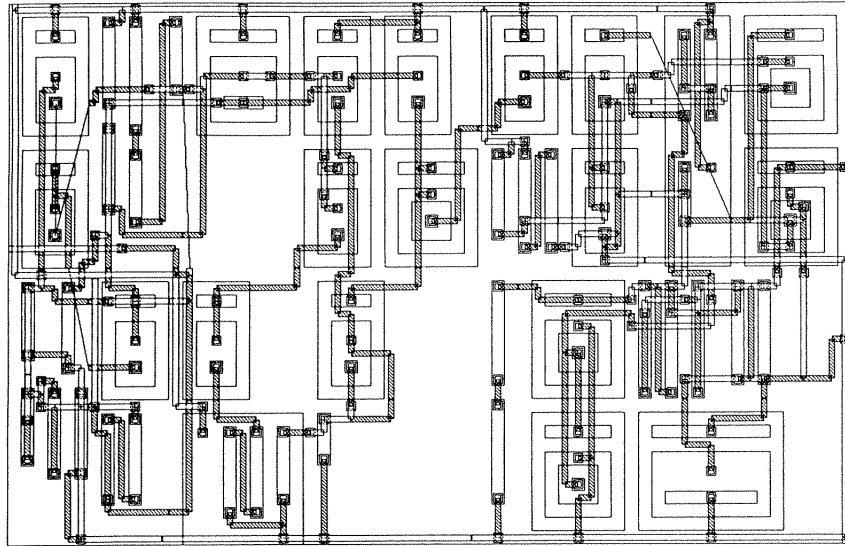
( 2 ) 入力回路データ (フラット) の自動階層化によるCMP N生成の説明を行う。



( 3 ) H R C T L アルゴリズムによる配置・配線の生成過程を説明する。



(4) (2) のデータをレイアウトし、表示する (46 素子のバイポーラアナログ回路)。



(5) 1000 素子規模のレイアウト例を、別途用意した図面により説明する。また、OHPにて、計算性能等を説明する。

