

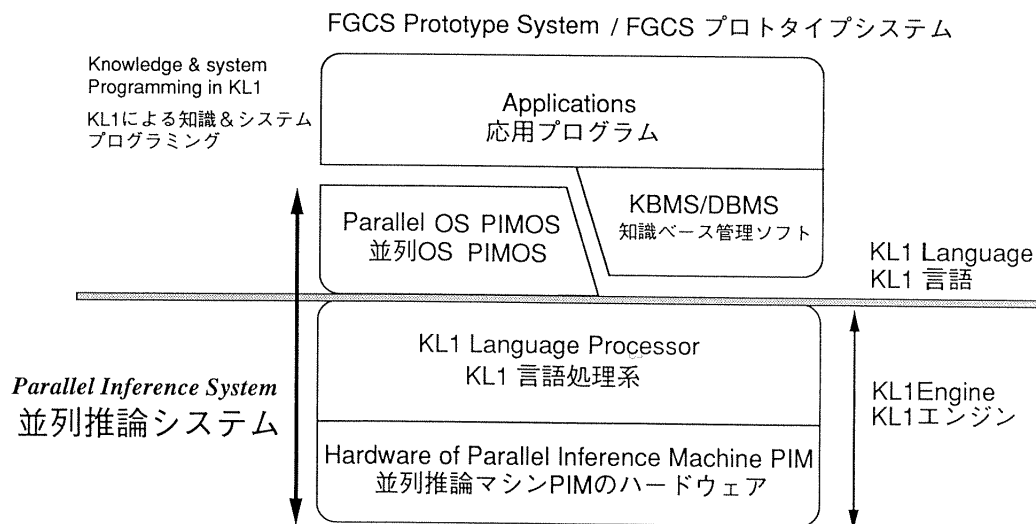
並列推論システム

概要

並列推論システムは、FGCS プロトタイプ・システムの基本部分を構成する。核言語 KL1 によって記述された記号処理、知識処理の問題を効率良く並列に実行することができる。

システム構成要素

- 核言語 KL1 は記号処理、知識処理の問題を簡潔に記述し、並列に実行するのに十分な記述力および機能を持つ汎用並行論理型言語である。
- PIMOS は従来 OS の機能に加えて KL1 プログラミング環境も提供する。
- PIM のハードウェア・アーキテクチャは KL1 を効率良く実行するために、並列マシンの観点からバランス良く設計されている。
- KL1 言語処理系の実装に関して、その並列化、分散化オーバーヘッドは低く抑えられている。
- 応用プログラムのレベルでは、動的、静的に負荷分散や見込み計算を行い十分な台数効果が得られる。



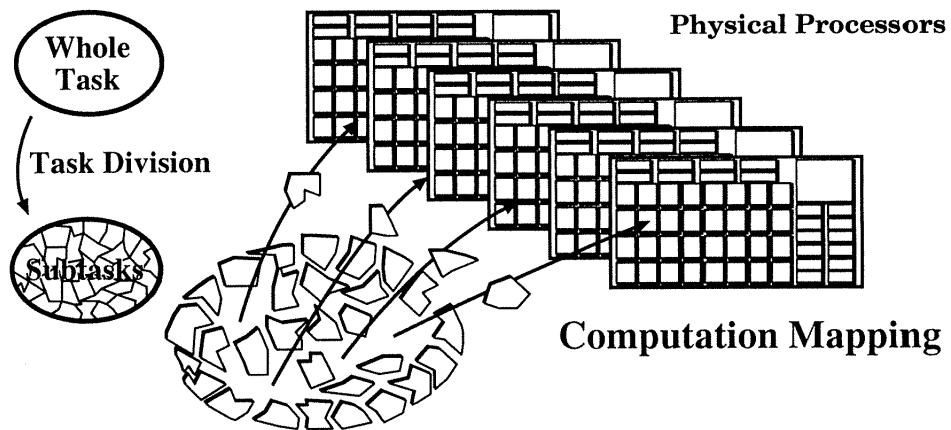
並列論理型言語 「KL1」

概要

並列推論マシンのハードウェアから応用ソフトウェアに至るまで、並列推論システム全体の設計指針を与えた、Guarded Horn Clauses に基づく核言語

特徴

- 問題を多くの小さな問題に分けて処理する、細粒度並列処理を容易に記述
- OS から知識情報処理まで、すべてのソフトウェアの記述に使用
- プログラムの意味と処理の仕方の指定を明確に分離し、負荷分散を容易に
- PIM の全モデルに共通する言語仕様 → 高いソフトウェア移植性



並列推論マシン・オペレーティングシステム「PIMOS」

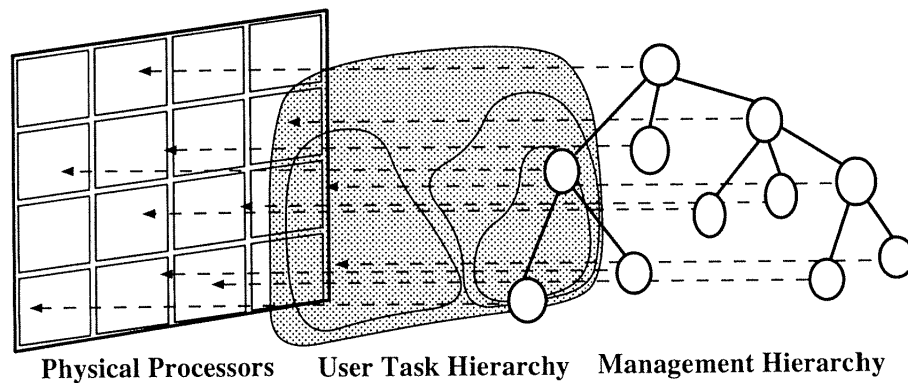
概要

PIMOS は並列推論マシン PIM の各モデル、マルチ PSI に共通するオペレーティング・システムで、効率的で快適なソフトウェア開発環境を提供している。

特徴

- 並列論理型言語 KL1 で全システムを記述
非常に高い移植性を実現
- 階層的な分散管理により、管理の集中によるボトルネックを解消
- KL1 のためのソフトウェア開発ツール群を提供
種々のデバッグ・サポート、負荷分散状況の可視化、...
- 並列ソフトウェア研究開発環境として4年半にわたる利用実績

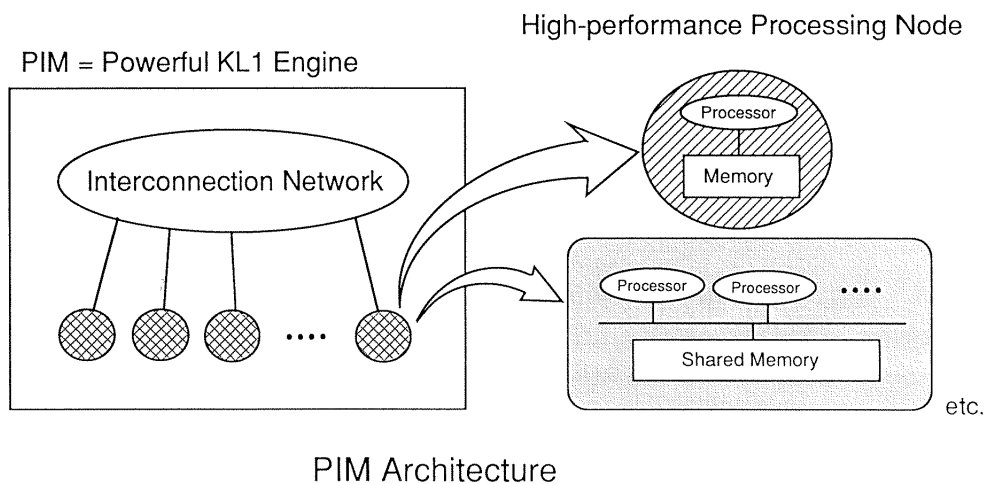
PIM, マルチ PSI 上のデモはすべて PIMOS の管理下で動作している



並列推論マシン「PIM」

PIM とは？

- 汎用マシン
PIM は汎用の高級言語 KL1 を効率良く実行する MIMD マシンである。
- 1000 台規模の並列マシン
高性能なプロセッサを拡張性のあるアーキテクチャで結合
1000 台規模のプロセッサでも十分な台数効果が得られる。
- 推論マシン
並行論理型言語 KL1 を効率良く実行するための専用命令やハードウェア (デレファレンス命令, タグアーキテクチャ etc.)
- 処理能力
PIM/p, PIM/m の要素プロセッサ 1 台は 300 ~ 600 KRPS (append)
PIM/p 最大構成 (512 台) で約 250 MRPS (append)
250 MRPS は約 3.6 GIPS に相当
- 5 つのモジュール
様々なアーキテクチャの性能を比較するために 5 つのモジュールを開発: PIM/p, PIM/m, PIM/c, PIM/i, PIM/k



KL1 処理系

概要

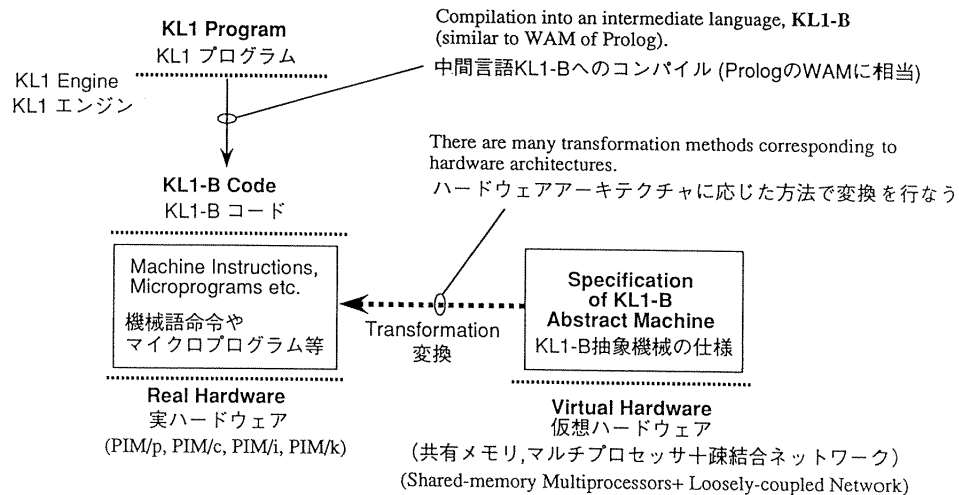
KL1 処理系は、異なるハードウェアを持つ各 PIM モジュール上に、共通仕様の KL1 インタフェースを効率良く実現するためのソフトウェアである。

機能と特徴

- Prolog の WAM と同様に中間言語にコンパイルする方式を採用した。この方式は開発が容易で移植性が高い。
- 中間言語の抽象機械は PIM の実ハードウェアに応じて機械語命令やマイクロプログラムに変換される。
- 抽象機械は C 言語にも変換できるので、汎用計算機上で容易にシミュレーション、デバッグが可能となる。

KL1 プログラム実行の枠組

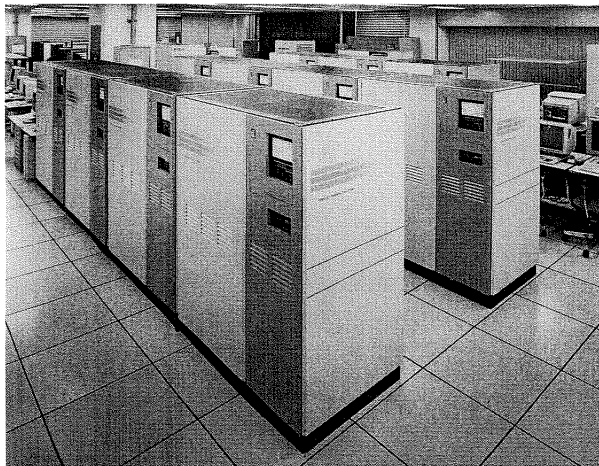
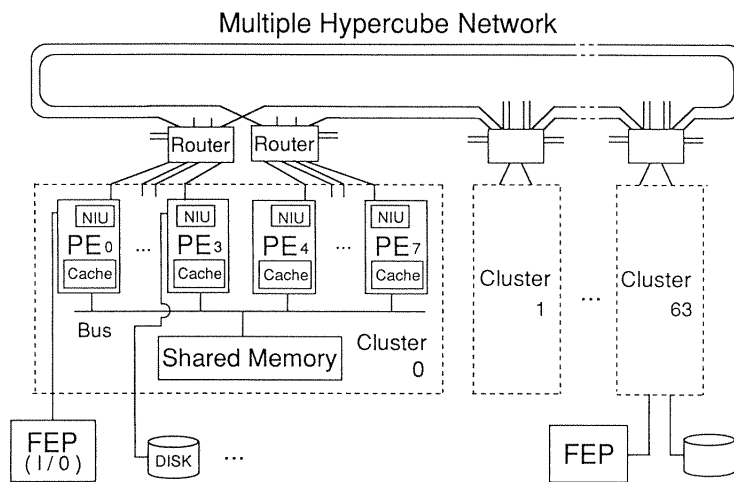
- KL1 は中間言語 KL1-B にコンパイルされる。
- KL1-B コードは抽象機械の上で実行される。
- 抽象機械は仮想ハードウェア上のランタイムシステムとして記述される。
- 仮想ハードウェアには、共有メモリ・マルチプロセッサが疎結合されたようなアーキテクチャを想定している。



PIM/p

- Two-level hierarchical structure – a six-dimensional hypercube network connects clusters, each of which contains eight processors sharing a memory unit.
- KL1-oriented snoop caches which realize low latency communication and synchronization
- Enhanced instruction set by macro calls

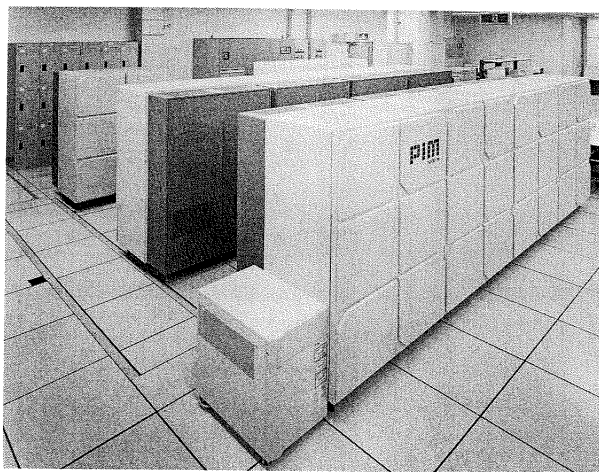
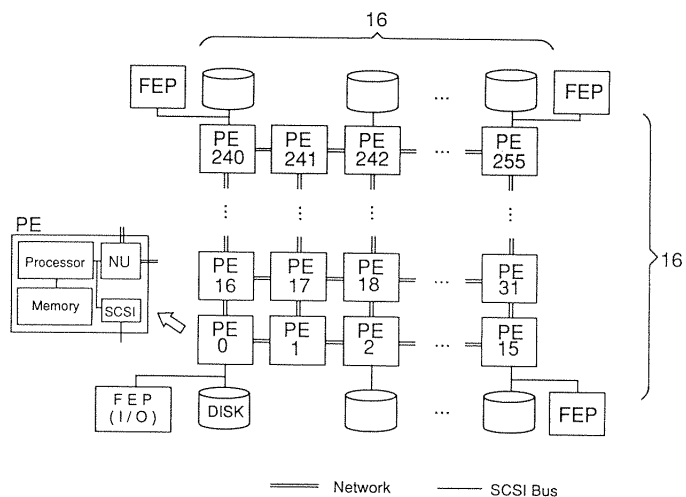
- 2 階層の構成 – 6 次元ハイパーキューブネットワークがクラスタを接続し、各クラスタには 1 台のメモリを共有する 8 台のプロセッサがある。
- KL1 向きスヌープキャッシュによる高速な通信と同期
- マクロ呼び出しによる命令の高機能化



PEs/cabinet	32
cabinets/system	16
Total PEs	512
Cabinet size (m)	1.4×0.8×1.6

PIM/m

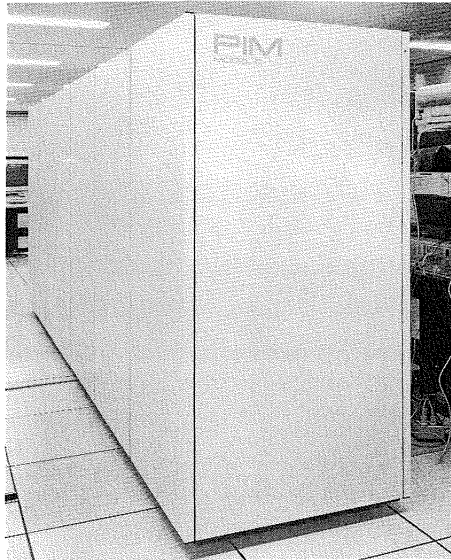
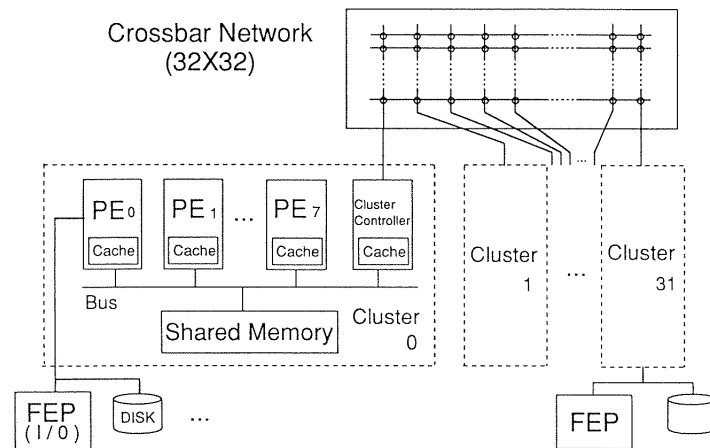
- Inherits Multi-PSI's architecture and firmware
 - A single layer network and a node consisting of a CPU make for simple architecture and high scalability.
 - Capable of examining various parallel processing techniques, such as task division and mapping
- Multi-PSI アーキテクチャ及びファームウェアの継承
 - 1 階層ネットワーク, 1 ノード 1 CPU のシンプルなアーキテクチャで高い拡張性
 - 問題分割, マッピングなどの並列処理技術の研究開発に向いている.



PEs/cabinet	32
cabinets/system	8
Total PEs	256
Cabinet size (m)	1.1×0.9×1.5

PIM/c

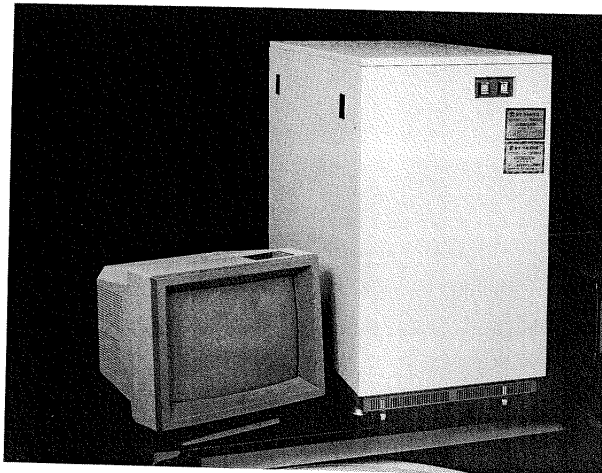
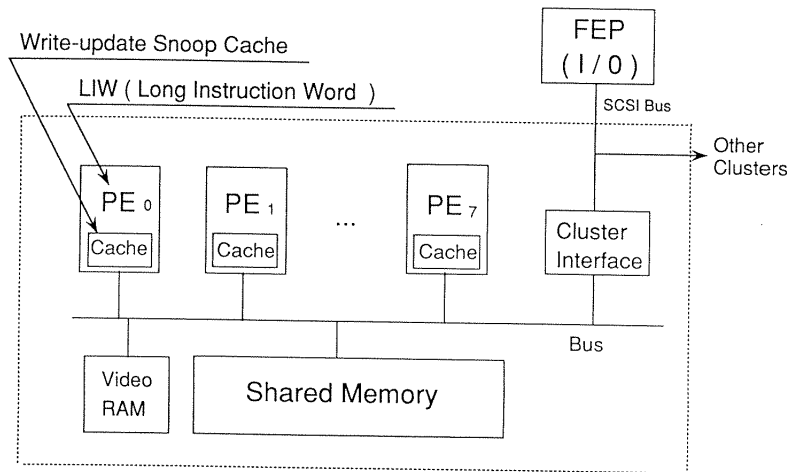
- Contains eight processing elements which employ horizontal microprogramming control and are tightly coupled
- Dedicated hardware transmits global scope variable (e.g., load information) between clusters with low latency.
- A cluster has high-speed KL1-oriented snoop caches and registers with broadcast facility
- 水平型マイクロプログラム方式の要素プロセッサ 8 台を密結合
- 負荷情報などの大域変数をクラスタ間に渡って低遅延で転送する専用ハードウェア
- クラスタ内には KL1 向き的高速なスヌープキャッシュと放送機能付きレジスタ



PEs/cabinet	64
cabinets/system	4
Total PEs	256
Cabinet size (m)	1.4×0.8×1.7

PIM/i

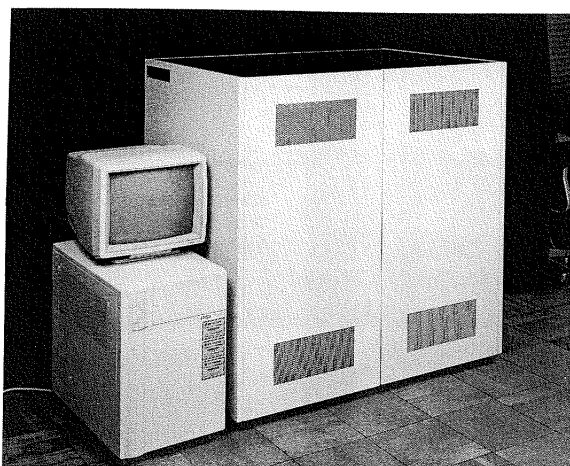
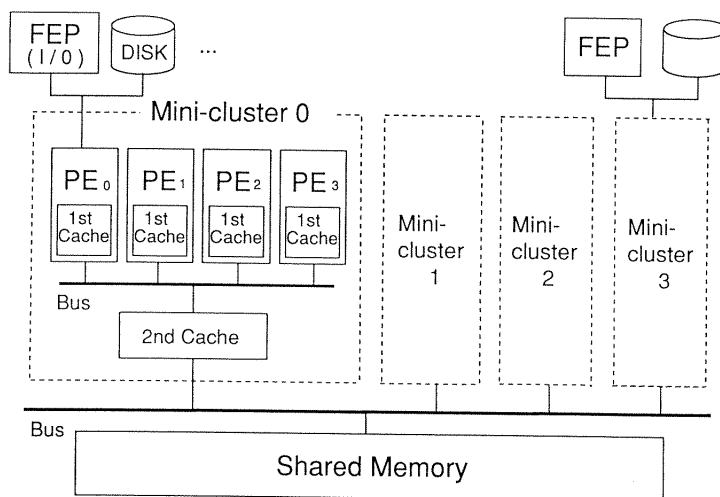
- Write-update snoop caches and LIW (long instruction word) are introduced for efficient execution of KL1 programs.
 - CIF (cluster interface) works as an I/O processor.
 - Effective system status monitoring by video RAM
-
- KL1 の効率的な実行のために書き込み更新型スヌープキャッシュと LIW (長形式命令語) を導入
 - 入出力専用プロセッサとして CIF (クラスタインタフェース) を持つ
 - ビデオ RAM による効果的なシステム状態の監視



PEs/cabinet	8
cabinets/system	2
Total PEs	16
Cabinet size (m)	0.5×0.7×0.7

PIM/k

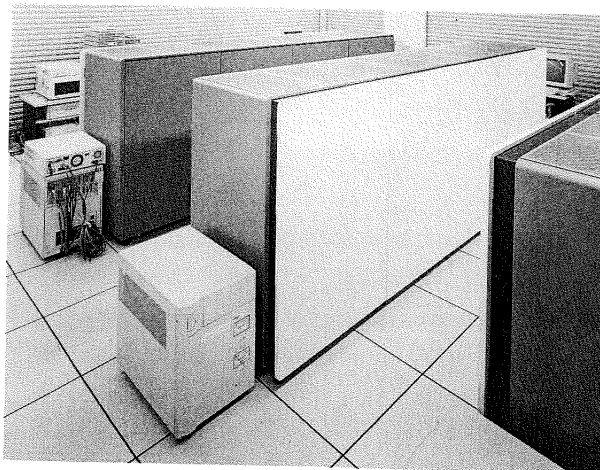
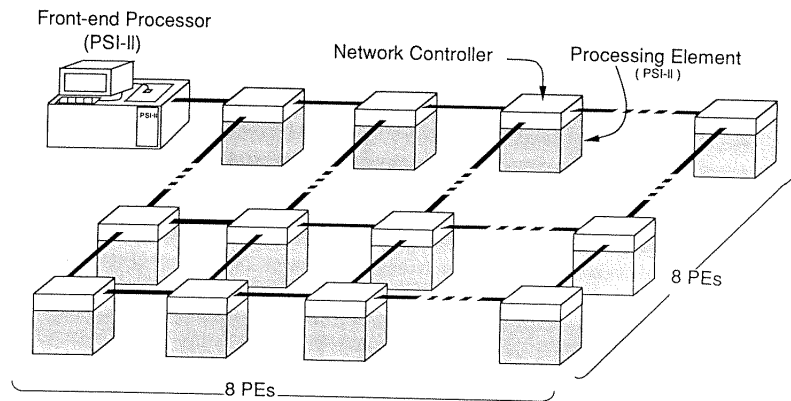
- Examines the scalability attained by multi-layer cache
 - Experiments on multi-layer caches and load balancing management appropriate to KL1 execution
 - Easy implementation of a KL1 language processor on a UMA (uniform memory access) architecture
- 多階層キャッシュによる拡張性の追求
 - KL1 実行に適した多階層キャッシュ制御や負荷分散の実験
 - UMA (一様メモリアクセス) アーキテクチャに対する KL1 処理系実装の容易さ



PEs/cabinet	16
cabinets/system	1
Total PEs	16
Cabinet size (m)	1.3×0.8×1.3

Multi-PSI

- A prototype of PIM developed in the intermediate stage of the FGCS project.
 - Research on the KL1 parallel execution method, research on the parallel operating system, and R&D on application programs have been done on Multi-PSI.
 - The CPU of the PSI sequential inference machine have been employed as the processing element and only a dedicated network controller had to be developed from scratch.
- プロジェクト中期に開発された PIM のプロトタイプ。
 - KL1 の並列実行方式の研究, 並列 OS の研究, 多くの応用ソフトウェア開発や実験が行なわれた。
 - PSI の CPU を要素プロセッサとして用い専用のネットワーク制御装置のみ新規開発した。



PEs/cabinet	8
cabinets/system	8
Total PEs	64
Cabinet size (m)	0.9×0.8×1.4