

⑰ Architecture and Implementation of PIM/m

H.Nakashima*, H.Nakajima, Y.Takeda, K.Masuda(三菱電機, 日本)
S.Kondo, Y.Inamura, S.Onishi(ICOT, 日本)

発表要旨

第五世代コンピュータ・プロジェクトの一環として、我々は並列推論マシンPIM/mを開発した。PIM/mは 16×16 の二次元格子状ネットワークを介して接続された256個の要素プロセッサからなり、その前身であるMulti-PSI/v2に比べて4倍の規模になっている。要素プロセッサは三つのVLSIチップを中心に構成されている。その一つはKL1を高速に実行するための専用マイクロプロセッサであり、パイプライン化されたデータ型判定やデレフェレンス機構などが特徴である。

KL1の実装に関しては、特にガベージ・コレクションの効率に注意を払い、プロセッサ内外のガベージに関するインクリメンタルな回収方式を導入した。特に、プロセッサ内のインクリメンタル・ガベージ・コレクションをサポートするハードウェア機構を導入した結果、(append)において615\, KLIPSという高いピーク性能を得ることができた。

実効性能に関しては要素プロセッサの単体レベルでMulti-PSI/v2の約2倍に向上しており、システム規模の拡大と相まって、システム性能は $5 \sim 10$ 倍に向上している。

質疑応答

質問：1プロセッサのスピードが600KRPS以上と言っていたが、私は以前に500KRPSと聞いた。

回答：それは間違っている。この会議が始まるまでに最適化したので現在615KRPSである。

質問：disk systemはどう接続するのか。disk performanceは。

回答：1筐体、32PE、4ディスクである。すべてのPEをディスクに接続できるが、今は4つだけ。パフォーマンスは測定していない。

質問：専用ハードウェアvs CISC vs RISCという議論がある。記号処理言語システムの実装、開発に関する意見を聴きたい。

回答：VLSI、システム開発のために多くのお金とマンパワーが費やせるならRISCが良いだろう。クロックサイクルはVLSIプロセス、レイアウトに依存し、1 reductionのステップ数はアーキテクチャに依存するから。

そうでないならCISCだろう。我々はお金も人も居なかったのでCISCにしたが、実際良い結果が出た。