

㊦ Parallel Logic Simulator based on Time Warp and its Evaluation

Y. Matsumoto*, K. Taki(ICOT, 日本)

発表要旨

組み合わせ回路、順序回路ともに扱える並列論理シミュレータをMulti-PSI, PIM上に実現した。並列論理シミュレータは並列離散事象シミュレータとして扱い、時刻管理機構としてタイムワープ機構を採用した。タイムワープ機構ではロールバック処理のオーバーヘッドが無視できない大きさである。このオーバーヘッドを抑えるために、(1)縦方向に連なったゲートを切り出す操作を基本とした静的回路分割戦略、(2)メッセージの評価順序を局所的に管理することによりロールバックの頻度を抑えるスケジューラ、(3)メッセージ取り消しに必要なアンチメッセージをあらかじめ削減する機構、を導入した。PIM/m上での実験では530K (events/second) システム性能と166倍の台数効果が得られ、タイムワープが分散メモリ型MIDI計算機に適した時刻管理機構であることが示された。

質疑応答

質問：C言語のようにGCを行わない言語で実装すればもっと早くなるのでは？

回答：確かにCで書けば早くなる。しかし、Cのような従来の言語では、タイムワープメカニズムなどのプログラミングコストが非常に高くなる。このシステムは商用ではなく、タイムワープメカニズムなどの評価を目的としている。ただし、現在進めているKL1をCに直接コンパイルする研究がうまくいけば、我々のシミュレータにも非常に高い高速化が期待できる。

質問：遅延回路に定数遅延時間を仮定しているか？

回答：仮定していない。実験ではすべて遅延は1単位時間と仮定したが、実際には各遅延回路に別々の遅延時間を割り当てることができる。

質問：さまざまな遅延時間を仮定するとロールバックが大きくなるのでは？

回答：そうは思わない。