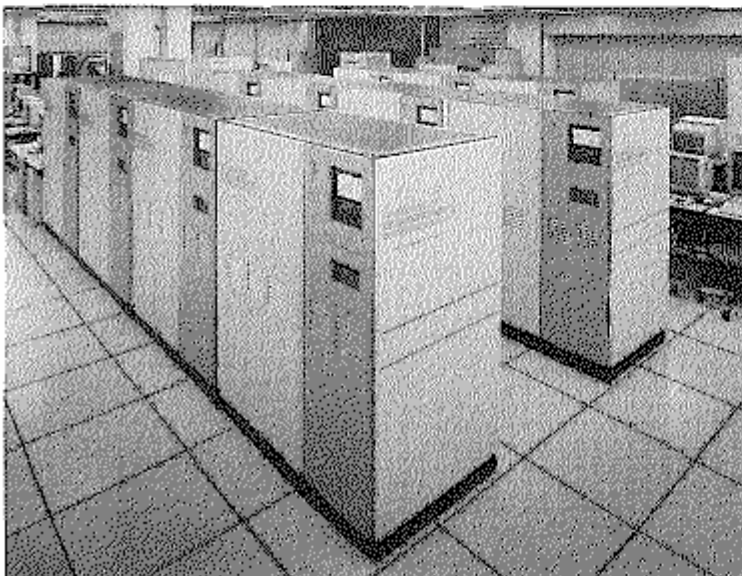
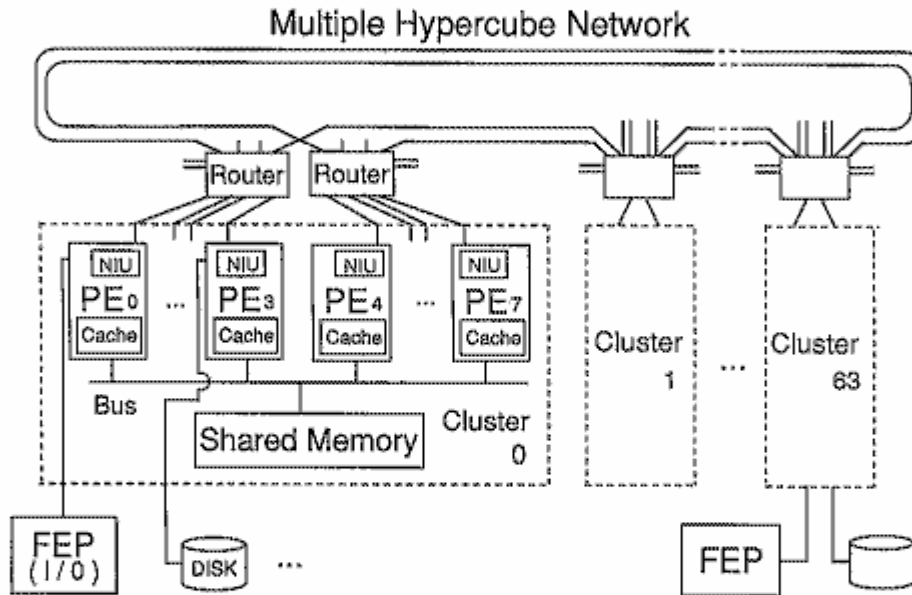


PIM/p

- Two-level hierarchical structure – a six-dimensional hypercube network connects clusters, each of which contains eight processors sharing a memory unit.
- KL1-oriented snoop caches which realize low latency communication and synchronization
- Enhanced instruction set by macro calls

- 2 階層の構成 – 6 次元ハイパーキューブネットワークがクラスタを接続し、各クラスタには 1 台のメモリを共有する 8 台のプロセッサがある。
- KL1 向きスヌープキャッシュによる高速な通信と同期
- マクロ呼び出しによる命令の高機能化

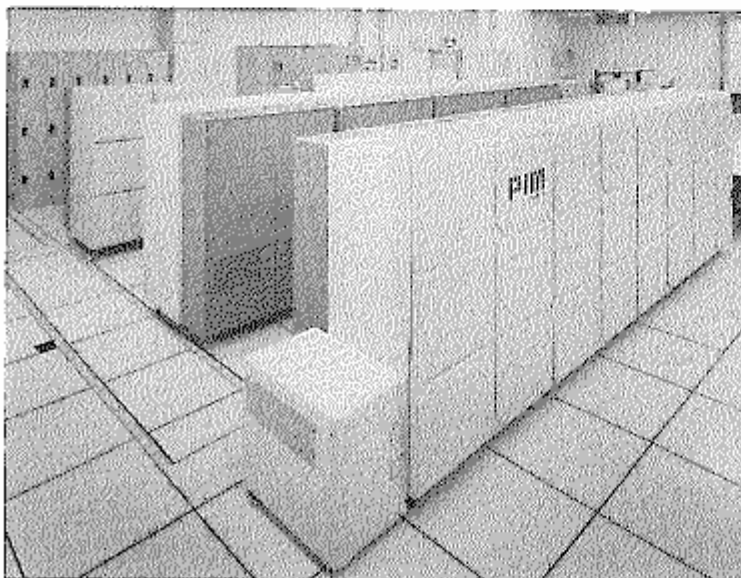
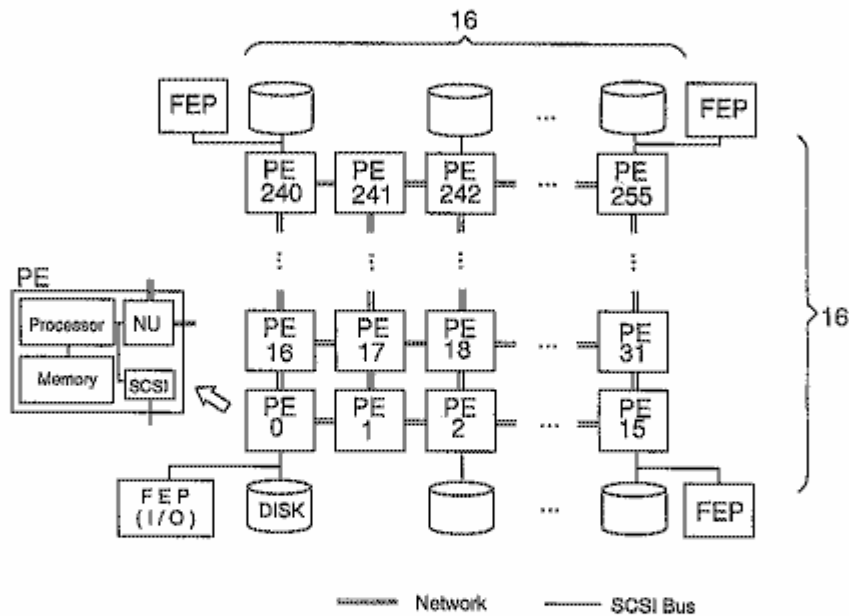


PEs/cabinet	32
cabinets/system	16
Total PEs	512
Cabinet size (m)	1.4×0.8×1.6

PIM/m

- Inherits Multi-PSI's architecture and firmware
- A single layer network and a node consisting of a CPU make for simple architecture and high scalability.
- Capable of examining various parallel processing techniques, such as task division and mapping

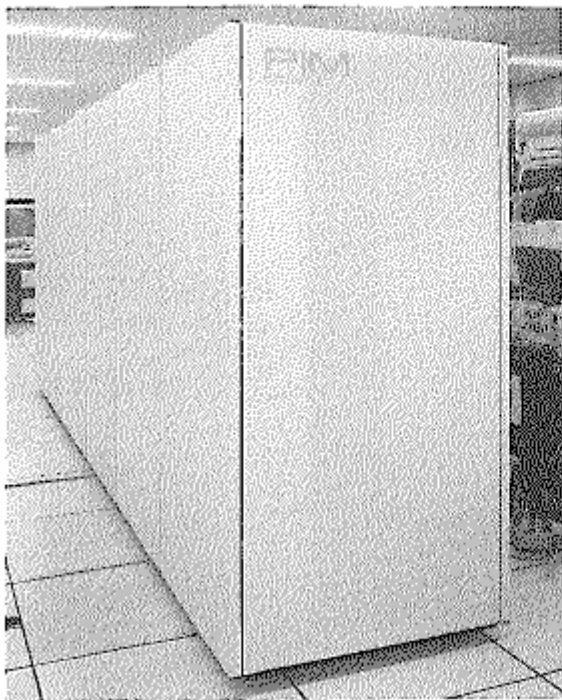
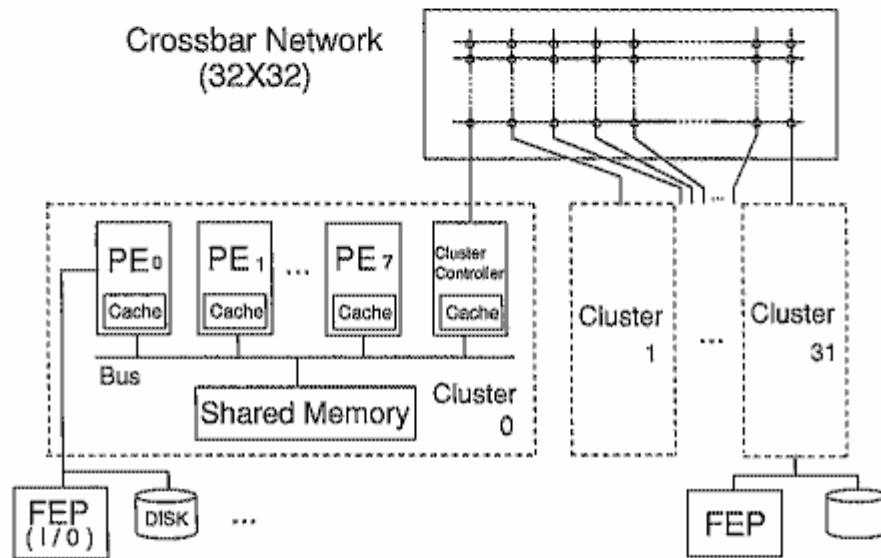
- Multi-PSI アーキテクチャ及びファームウェアの継承
- 1 階層ネットワーク, 1 ノード 1 CPU のシンプルなアーキテクチャで高い拡張性
- 問題分割, マッピングなどの並列処理技術の研究開発に向いている。



PEs/cabinet	32
cabinets/system	8
Total PEs	256
Cabinet size (m)	1.1×0.9×1.5

PIM/c

- Contains eight processing elements which employ horizontal microprogramming control and are tightly coupled
- Dedicated hardware transmits global scope variable (e.g., load information) between clusters with low latency.
- A cluster has high-speed KL1-oriented snoop caches and registers with broadcast facility
- 水平型マイクロプログラム方式の要素プロセッサ 8 台を密結合
- 負荷情報などの大域変数をクラスタ間に渡って低遅延で転送する専用ハードウェア
- クラスタ内には KL1 向き的高速なスヌープキャッシュと放送機能付きレジスタ

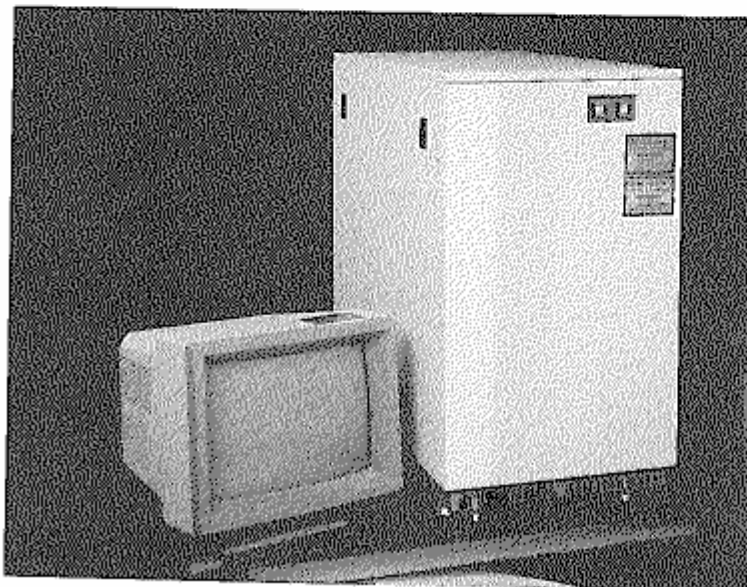
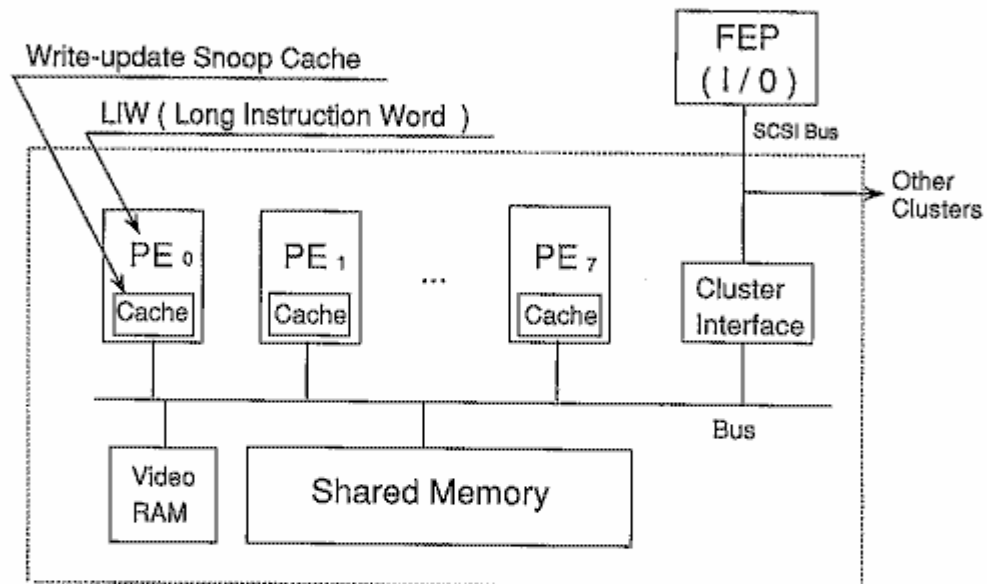


PEs/cabinet	64
cabinets/system	4
Total PEs	256
Cabinet size (m)	1.4×0.8×1.7

PIM/i

- Write-update snoop caches and LIW (long instruction word) are introduced for efficient execution of KL1 programs.
- CIF (cluster interface) works as an I/O processor.
- Effective system status monitoring by video RAM

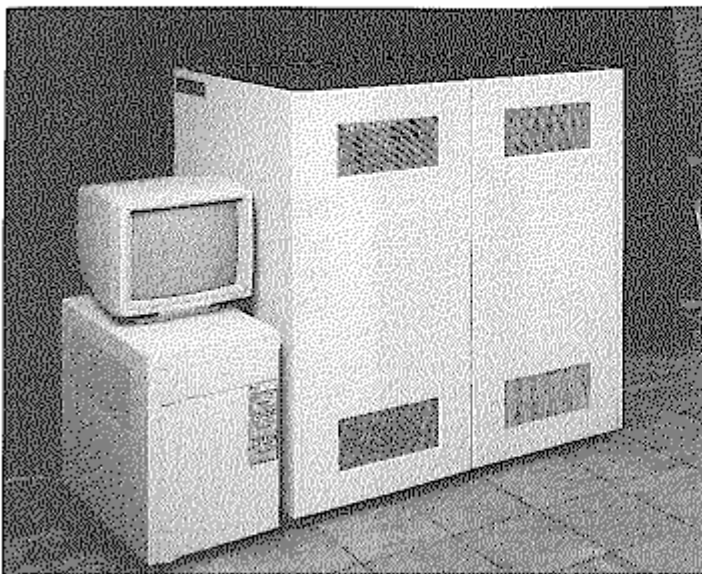
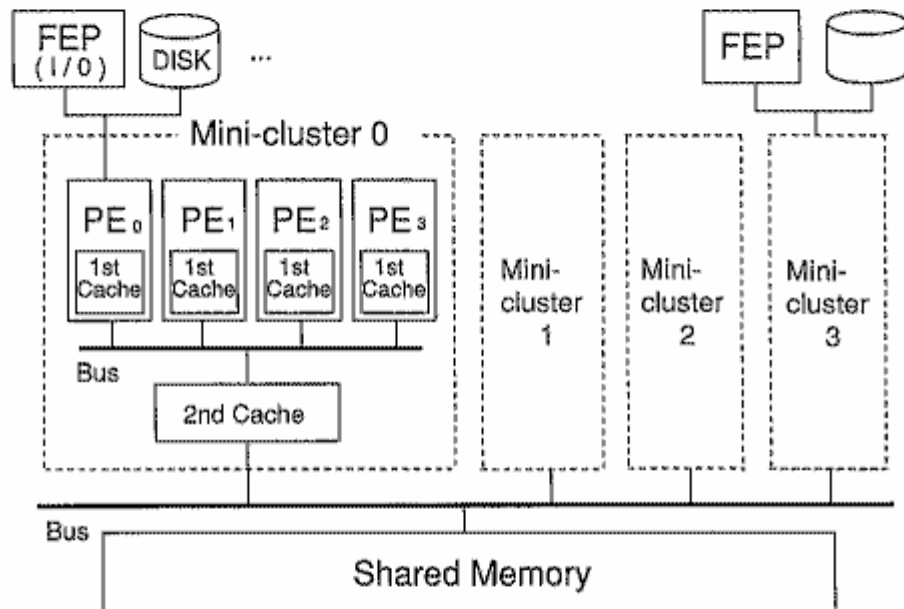
- KL1 の効率的な実行のために書き込み更新型スヌープキャッシュと LIW (長形式命令語) を導入
- 入出力専用プロセッサとして CIF (クラスタインタフェース) を持つ
- ビデオ RAM による効果的なシステム状態の監視



PEs/cabinet	8
cabinets/system	2
Total PEs	16
Cabinet size (m)	0.5×0.7×0.7

PIM/k

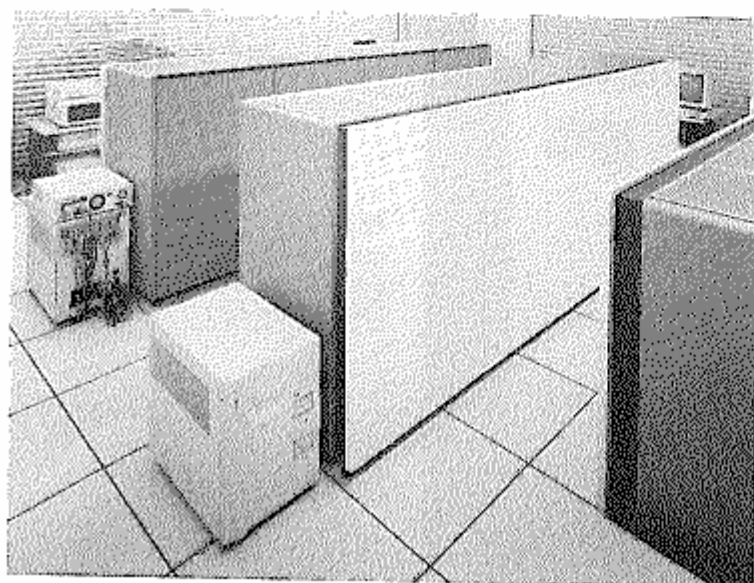
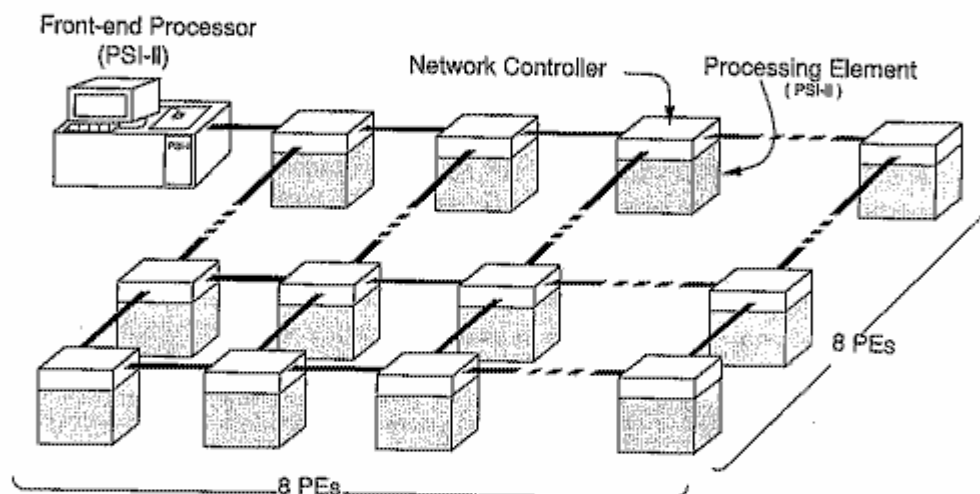
- Examines the scalability attained by multi-layer cache
 - Experiments on multi-layer caches and load balancing management appropriate to KL1 execution
 - Easy implementation of a KL1 language processor on a UMA (uniform memory access) architecture
-
- 多階層キャッシュによる拡張性の追求
 - KL1 実行に適した多階層キャッシュ制御や負荷分散の実験
 - UMA (一様メモリアクセス) アーキテクチャに対する KL1 処理系実装の容易さ



PEs/cabinet	16
cabinets/system	1
Total PEs	16
Cabinet size (m)	1.3×0.8×1.3

Multi-PSI

- A prototype of PIM developed in the intermediate stage of the FGCS project.
 - Research on the KL1 parallel execution method, research on the parallel operating system, and R&D on application programs have been done on Multi-PSI.
 - The CPU of the PSI sequential inference machine have been employed as the processing element and only a dedicated network controller had to be developed from scratch.
- プロジェクト中期に開発された PIM のプロトタイプ。
 - KL1 の並列実行方式の研究, 並列 OS の研究, 多くの応用ソフトウェア開発や実験が行なわれた。
 - PSI の CPU を要素プロセッサとして用い専用のネットワーク制御装置のみ新規開発した。



PEs/cabinet	8
cabinets/system	8
Total PEs	64
Cabinet size (m)	0.9×0.8×1.4